

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-195198

(43)Date of publication of application : 15.07.1994

(51)Int.Cl.

G06F 7/24

G06F 15/72

(21)Application number : 04-359476

(71)Applicant : RICOH CO LTD

(22)Date of filing : 25.12.1992

(72)Inventor : IZAWA YASUHIRO

FUJII TATSUYA

SHIRAISHI NAOHITO

FUKUSHIMA MASANOBU

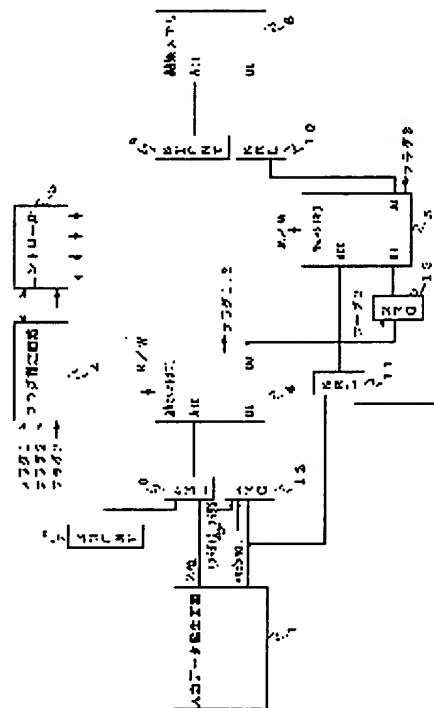
NAKAJIMA TATSUYA

(54) SORTING DEVICE

(57)Abstract:

PURPOSE: To provide the sorting device which can reduce buffer memories.

CONSTITUTION: This device is provided with a distribution count memory 4 for updating stored contents on a data number each time reference value data are inputted, chain memory 5 for storing the data number to be updated as a data number with the updated number as an address each time updating is performed, first and second flags '1' and '2' corresponding to the respective addresses of the distribution count memory 4 and a third flag '3' corresponding to the respective addresses of the chain memory 5, and data numbers are basically read in the order from the smaller address of the distribution count memory 4. Depending on the state of the flag '1', the next address is transferred, depending on the state of the flag '2', the chain memory 5 is transferred, depending on the state of the flag '3', the chain operation is performed and the data numbers read from the memories 4 and 5 are written in a result memory 6.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination] 26.11.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3448816

[Date of registration] 11.07.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-195198

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 7/24		9188-5B		
15/72	4 2 0	9192-5L		

審査請求 未請求 請求項の数6(全 54 頁)

(21)出願番号 特願平4-359476

(22)出願日 平成4年(1992)12月25日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 井澤 康浩

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72)発明者 藤井 達也

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72)発明者 白石 尚人

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(74)代理人 弁理士 鳥居 洋

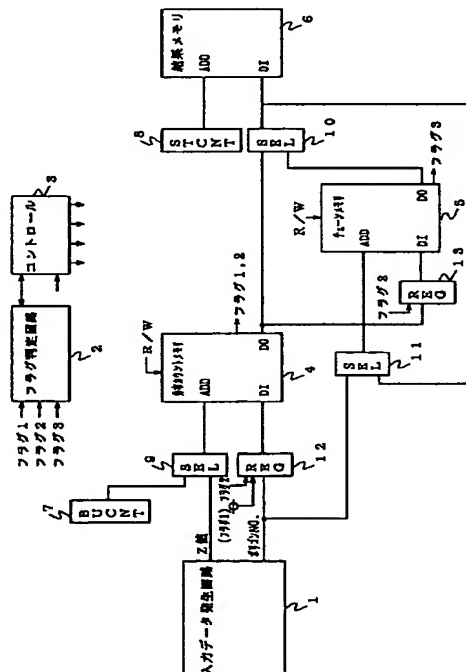
最終頁に続く

(54)【発明の名称】 ソーティング装置

(57)【要約】

【目的】 バッファメモリが削減できるソーティング装置を提供することを目的とする。

【構成】 基準値データが入力される毎にそのデータ番号に記憶内容を更新する分布カウントメモリ4と、更新が行われる毎に更新データ番号をアドレスとして被更新データ番号をデータ番号として記憶するチェーンメモリ5と、分布カウントメモリ4の各アドレスに対応する第1・第2のフラグと、チェーンメモリ5の各アドレスに対応する第3のフラグと、分布カウントメモリ4のアドレスの小さいもの順にデータ番号を読み出すことを基本とし、フラグ1の状態によっては次アドレスに移り、フラグ2の状態によってはチェーンメモリ5に移り、フラグ3の状態によってはチェーン動作を行い、上記メモリ4、5から読み出されるデータ番号を結果メモリ6に書き込むように構成した。



【特許請求の範囲】

【請求項1】 入力される各基準値データのデータ番号を発生するデータ番号発生手段と、

基準値データをアドレスとしてそのデータ番号をデータとして記憶する記憶領域を有し、上記基準値データが入力される毎にそのデータ番号に記憶内容を更新する分布カウントメモリと、

上記更新が行われる毎に更新データ番号をアドレスとして被更新データ番号をデータ番号として記憶するチェーンメモリと、

前記の分布カウントメモリの指定されたアドレスのデータ番号を読み出す分布カウントメモリ読出手段と、

分布カウントメモリの指定されたアドレスにデータ番号が格納されているか否かを判断する第1判断手段と、

指定されたアドレスにデータ番号が格納されていればそのデータ番号を結果メモリに書き込む一方、指定されたアドレスにデータ番号が格納されていなければ次のアドレスを分布カウントメモリ読出手段に指定する第1の結果メモリ書込手段と、

結果メモリに書き込むデータ番号が示すチェーンメモリのアドレスのデータ番号を読み出すチェーン移行手段と、

データ番号が示すチェーンメモリのアドレスにデータ番号が格納されているか否かを判断する第2判断手段と、チェーンメモリのアドレスにデータ番号が格納されていればそのデータ番号を結果メモリに書き込む一方、チェーンメモリのアドレスにデータ番号が格納されていなければ次のアドレスを分布カウントメモリ読出手段に指定する第2の結果メモリ書込手段と、を備えたことを特徴とするソーティング装置。

【請求項2】 前記第1判断手段に代えて、前記分布カウントメモリの各アドレスに対応する第1・第2のフラグを有し、第1のフラグは、最初にデータ格納がなされたときにセットされ、第2のフラグは前記の更新がなされた場合にセットされるように構成されており、

前記第1の結果メモリ書込手段に代えて、第1のフラグがリセットのときは、次のアドレスを分布カウントメモリ読出手段に指定し、第1のフラグがセットされているときは、そのデータ番号を結果メモリに書き込むと共に第2フラグを判断し、第2フラグがリセットのときはチェーン移行手段は作動させず、次のアドレスを分布カウントメモリ読出手段に指定し、第2のフラグがセットされているときは、そのデータ番号を結果メモリに書き込むと共にチェーン移行手段を作動させる手段を備えたことを特徴とする請求項1に記載のソーティング装置。

【請求項3】 前記第2判断手段に代えて、前記チェーンメモリの各アドレスに対応する第3のフラグを有し、この第3のフラグは、チェーンすべきデータが存在するときにセットされるように構成されており、

前記第2の結果メモリ書込手段に代えて、第3のフラグ

がセットされているときは、そのアドレスのデータ番号を結果メモリに書き込むと共に、チェーン移行手段を作動させる一方、第3のフラグがリセットのときは、そのアドレスのデータ番号を結果メモリに書き込むと共に、チェーン移行手段は作動させず、次のアドレスを分布カウントメモリ読出手段に指定する手段を備えことを特徴とする請求項1又は2に記載のソーティング装置。

【請求項4】 入力された基準値データを上位桁と下位桁の2つのデータ群に分割する、或いは、それ以上のデータ群に分割し、分布カウントメモリおよびチェーンメモリには、上記データ群の分割数に対応して分割された領域を有すると共に、各領域に基準値データの下位桁を保持する領域を設け、上位桁についてソーティングを行い、上位桁が共通である基準値データ同士についてはその下位桁についてソーティングを順次行っていくように構成したことを特徴とする請求項1乃至3に記載のソーティング装置。

【請求項5】 前記分布カウントメモリのアドレスに1対1に対応する複数の1ビットフラグ領域を有し、分布カウントメモリの指定されたアドレスにデータ番号が書き込まれたときにそのアドレスに対応する1ビットフラグ領域にフラグセットがなされるフラグメモリと、複数個のフラグの集まりを1データとして読み出し、そのデータからセットされているフラグを判別し、そのセットされていると判別されたフラグだけについてこれに対応する分布カウントメモリのアドレスから基準値データを読み出すように構成されていることを特徴とする請求項1乃至4に記載のソーティング装置。

【請求項6】 幾何変換装置から順次基準値データの入力を受けるのと同時進行で、上記基準値データの分布カウントメモリ及びチェーンメモリへの書き込み処理を行い、この処理の終了後に、上記分布カウントメモリ及びチェーンメモリに書き込まれている基準値データの大小順にデータ番号を読み出して結果メモリに書き込むように構成したことを特徴とする請求項1乃至5に記載のソーティング装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ソーティング装置、特に複数の基準値データをソーティングする装置に関する。

【0002】

【従来の技術】 画像合成回路は、外部から供給される画像情報に基づき、CRT表示用の各種画像信号を合成出力するものであり、単に2次元的な平面画像ばかりでなく、立体的な3次元画像をも合成出力することができることから、例えば3次元画像用のビデオゲーム、飛行機および各種乗物の操縦シミュレータ、コンピュータグラフィックス、CAD装置等のディスプレイおよびその他の用途に幅広く用いられている。

【0003】ところで、画像合成回路を用いて奥行きをもった3次元画像をリアルタイムで合成する場合には、各ポリゴンの3次元データを画像奥行き方向の座標値、すなわちZ値データ（基準値データ）に基づき各フレーム毎に高速でソーティングすることが必要とされる。従来のこのようなソーティング装置としては、特開平2-224018号公報のソーティング回路が知られている。このソーティング回路には、ファーストバッファメモリ、ラストバッファメモリ、及びチェーンバッファメモリの3つのメモリが備えられている。また、ソーティ

【0004】

【発明が解決しようとする課題】ところが、上記従来のソーティング装置では、上述のように、3つのバッファメモリを備えなければならない。また、フラグメモリの読み出したデータをシフトレジスタに書き込み、1ビットずつ右へシフトしていき、フラグの立っているビットを検出しているため、フラグの立っていないところも読みだす必要があり、無駄が多く処理速度の向上が望めない。

【0001】本発明は、上記の事情に鑑み、バッファメモリの削減と、全フラグを読みだすことによる処理遅延の防止を図ることのできるソーティング装置を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明のソーティング装置は、上記の課題を解決するために、入力される各基準値データのデータ番号を発生するデータ番号発生手段と、基準値データをアドレスとしてそのデータ番号をデータとして記憶する記憶領域を有し、上記基準値データが入力される毎にそのデータ番号に記憶内容を更新する分布カウントメモリと、上記更新が行われる毎に更新データ番号をアドレスとして被更新データ番号をデータ番号として記憶するチェーンメモリと、前記分布カウントメモリの指定されたアドレスのデータ番号を読み出す分布カウントメモリ読出手段と、分布カウントメモリの指定されたアドレスにデータ番号が格納されているか否かを判断する第1判断手段と、指定されたアドレスにデータ番号が格納されていればそのデータ番号を結果メモリに書き込む一方、指定されたアドレスにデータ番号が格納されていなければ次のアドレスを分布カウントメモリ読出手段に指定する第1の結果メモリ書込手段と、結果メモリに書き込むデータ番号が示すチェーンメモリのアドレスのデータ番号を読み出すチェーン移行手段と、データ番号が示すチェーンメモリのアドレスにデータ番号が格納されているか否かを判断する第2判断手段と、チェーンメモリのアドレスにデータ番号が格納されてい

ば次のアドレスを分布カウントメモリ読出手段に指定する第2の結果メモリ書込手段とを備えたことを特徴としている。

【0006】また、前記第1判断手段に代えて、前記分布カウントメモリの各アドレスに対応する第1・第2のフラグを有し、第1のフラグは、最初にデータ格納がなされたときにセットされ、第2のフラグは前記の更新がなされた場合にセットされるように構成されており、前記第1の結果メモリ書込手段に代えて、第1のフラグがリセットのときは、次のアドレスを分布カウントメモリ読出手段に指定し、第1のフラグがセットされているときは、そのデータ番号を結果メモリに書き込むが、チェーン移行手段は作動させず、第2のフラグがセットされているときは、そのデータ番号を結果メモリに書き込むと共にチェーン移行手段を作動させる手段を備えたことを特徴としている。

【0007】また、前記第2判断手段に代えて、前記チェーンメモリの各アドレスに対応する第3のフラグを有し、この第3のフラグは、チェーンすべきデータが存在するときにセットされるように構成されており、前記の第2の結果メモリ書込手段に代えて、第3のフラグがセットされているときは、そのアドレスのデータ番号を結果メモリに書き込むと共に、チェーン移行手段を作動させる一方、第3のフラグがリセットのときは、そのアドレスのデータ番号を結果メモリに書き込むと共に、チェーン移行手段は作動させず、次のアドレスを分布カウントメモリ読出手段に指定する手段を備えことを特徴としている。

【0008】また、入力された基準値データを上位桁と下位桁の2つのデータ群に分割する、或いは、それ以上のデータ群に分割し、分布カウントメモリおよびチェーンメモリには、上記データ群の分割数に対応して分割された領域を有すると共に、各領域に基準値データの下位桁を保持する領域を設け、上位桁についてソーティングを行い、上位桁が共通である基準値データ同士についてはその下位桁についてソーティングを順次行っていくように構成したことを特徴としている。

【0009】また、前記分布カウントメモリのアドレスに1対1に対応する複数の1ビットフラグ領域を有し、分布カウントメモリの指定されたアドレスにデータ番号が書き込まれたときにそのアドレスに対応する1ビットフラグ領域にフラグセットがなされるフラグメモリと、複数のフラグの集まりを1データとして読み出し、そのデータからセットされているフラグを判別し、そのセットされていると判別されたフラグだけについてこれに対応する分布カウントメモリのアドレスから基準値データを読み出すように構成されていることを特徴としている。

【0010】また、幾何変換装置から順次基準値データの入力を受けるのと同時進行で、上記基準値データの分

布カウントメモリ及びチェーンメモリへの書き込み処理を行い、この処理の終了後に、上記分布カウントメモリ及びチェーンメモリに書き込まれている基準値データの大小順にデータ番号を読み出して結果メモリに書き込むように構成したことを特徴としている。

【0011】

【作用】上記の構成によれば、バッファメモリとしては、分布カウントメモリとチェーンメモリの二つでよく、メモリの削減が図れる。また、基準値データを上位桁と下位桁に分け、上位桁が共通する基準値データについてのみ下位桁についてソートするので、ソーティングの高速化が図れる。さらに、フラグのセットされているアドレスのみ読み出すので、処理速度が向上する。また、幾何変換とソーティングの同時進行によりフレーム遅れを解消することが可能になる。

【0012】

【実施例】

（実施例1）以下、本発明をその実施例を示す図面に基づいて説明する。図1はソーティング装置のシステム構成図であり、このソーティング装置は、入力データ発生回路1から出力されるZ値（基準軸データ）に対してソーティングを行い、その結果を出力するものであり、フラグ判定回路2、コントローラ3、分布カウントメモリ4、チェーンメモリ5、結果メモリ6、分布カウントメモリ用のアドレス発生カウンタ（BUCN）7、結果メモリ用のアドレス発生カウンタ（STCNT）8、セレクタ（SEL）9、10、11、レジスタ（REG）12、13を備える。

【0013】図2（a）は、分布カウントメモリ4のフォーマットを示す説明図であり、同図（b）はチェーンメモリ5のフォーマットを示す説明図である。分布カウントメモリ4には、 $0 \sim (2^M - 1)$ の各アドレスにつき各々ポリゴンナンバー（以下、ポリゴンNOという。）を書き込むポリゴンNO領域と、各々ポリゴンNOが各アドレスに1回でも書き込まれたかを示すフラグ1と、各々2回以上書き込まれたかを示すフラグ2の領域が設けられている。また、チェーンメモリ5には、 $0 \sim (N - 1)$ の各アドレスにポリゴンNOを書き込む領域と、Z値が等しい場合にチェーンさせるときの終点を示すフラグ3の領域が設けられている。なお、Nはポリゴン数を示し、MはZ値のビット数を示している。

【0014】図3（a）及び（b）は、それぞれ入力データ発生回路1のブロック図を示したものである。同図（a）の入力データ発生回路1は、ポリゴン中心メモリ1a、メモリF/F1b、ポジションセット部1c、Y回転部1d、X回転部1e、Z回転部1f、アドレス生成部1g、コントローラ1h、及びポリゴンNOカウンタ1iを備え、ポリゴン中心メモリ1aのX、Y、Z値に対して視野変換を行い、ソーティングに必要なZ値を生成する。また、ポリゴン数をカウントするポリゴ

ンNOカウンタからポリゴンNOを出力する。また、同図（b）の入力データ発生回路1は、ポリゴンNOカウンタ1iと、既に視野変換されたデータが書き込まれているデータメモリ1dを備え、ポリゴンNO及び、これをデータメモリ1dに入力することによってZ値を出力するようになっている。

【0015】また、図1において、フラグ判定回路2は、各フラグ1、2、3のセット、リセットを判定する回路であり、その判定結果をコントローラ3に出力するようになっている。

【0016】コントローラ3は、各メモリ4、5等のリード/ライト制御、各SEL9、10、11の切替え制御、更に、フラグ判定回路2からのフラグ情報に基づき、各REG12、13を介して各メモリにフラグを書き込む処理等を行うものである。具体的な処理内容（第1処理、第2処理）は、後述のフローチャートに示している。また、BUCNT7及びSTCNT8は、後述の第2処理において、分布カウントメモリ4及び結果メモリ6にアドレスを供給するものである。

【0017】図4は第1処理を示すフローチャートであり、図5は第2処理を示すフローチャートである。なお、第1処理とは、入力データ発生回路1から入力されるポリゴンNO及びZ値に基づいて、分布カウントメモリ4およびチェーンメモリ5に順次データを書き込む処理であり、第2処理とは、分布カウントメモリ4及びチェーンメモリ5に書き込まれたデータを読み出して結果メモリ6にZ値の大小順にポリゴンNOを書き込む処理である。なお、図6乃至図13は、ポリゴンNOが0～9、Z値が0～6の値を採る場合のソーティングの様子を説明する図であり、図6乃至図10は第1処理を、図11乃至図13は第2処理をそれぞれ示すものである。

【0018】図4において、ステップ1では、フラグ1の初期化を行う。この場合、ポリゴン数 $N = 10$ であり、Z値は0～6までなので、分布カウントメモリ4の0～6番地のフラグ1を初期化する。なお、このとき、ポリゴンNO領域及びフラグ2の領域も一緒に初期化してもよい。

【0019】次に、ポリゴンNO及びZ値を取り込み（ステップ2）、Z値の示す分布カウントメモリ4のアドレスのデータであるポリゴンNO、フラグ2、及びフラグ1の内容を読み込む（ステップ3）。このとき、図1のブロック図においては、SEL9はZ値を分布カウントメモリ4のアドレスに供給する。また、分布カウントメモリ4はリード状態にある。

【0020】次に、f1の判定処理を行い（ステップ4）、f1が“0”であれば、Z値の示す分布カウントメモリ4のアドレスに、ポリゴンNO領域にはポリゴンNO（以下、このように新たに書き込もうとするポリゴンNOをPolyNOと称する）を、フラグ2にはf1の内容を、フラグ1には1をそれぞれ書き込む（ステッ

プ5)。このとき、分布カウントメモリ4はライト状態にある。また、REG12においては、ポリゴンNOにフラグ1としてH信号が付加されると共に、フラグ2を供給する信号ラインによりフラグ2が付加される。また、上記のステップ5の処理は、例えば、図6においては、同図(c)の説明に、図7においては、同図(b)の説明に該当するものである。

【0021】次に、第1処理が終了したか否かを判断し(ステップ6)、終了していないなら再びステップ2に進み、終了したなら第2処理に移行する。

【0022】一方、前記のステップ4において、f1が“0”でないと判断されたなら、即ち、既に分布カウントメモリ4の該当アドレスのポリゴンNO領域にポリゴンNOが書き込まれていたなら(以下、この書き込まれていたポリゴンNOをBUNOと称する)、PolyNOが示すチェーンメモリ5のアドレスに、ポリゴンNO領域にはBUNOを、フラグ3にはf2を書き込む(ステップ7)。このとき、チェーンメモリ5はライト状態にある。また、SEL11は入力データ発生回路1側に接続されており、分布カウントメモリ4の出力データは、REG13を介し、フラグ2の内容を付加された上でチェーンメモリ5のDi(データイン)に入力される。上記のステップ7の処理が行われた後に前記のステップ5に進む。上記ステップ7からステップ5に至る処理は、例えば、図8においては、同図(a)から同図(b)の説明に該当する。

【0023】以上のステップ2からステップ6の処理が繰り返し行われ、全てのポリゴンNOについて終了すると、第2処理に移行する。この第2処理に進むとき、即ち、第1の処理が終了したときには、分布カウントメモリ4およびチェーンメモリ5の内容は、図13の(c)に示すような内容になっている。

【0024】第2処理では、まず、ステップ8により、BUCNT7およびSTCNT8の初期化が行われる。BUCNTは分布カウントメモリ4へのアドレス供給を行うものであり、STCNTは結果メモリ6へのアドレス供給を行うものである。

【0025】次に、BUCNT7のカウンタ値が示す分布カウントメモリ4のアドレスのデータを読み出す(ステップ9)。従って、最初は、分布カウントメモリ4において、アドレス0番地のデータが読み出される。これは、図11の(a)の説明に相当する処理である。また、図1においては、SEL9はBUCNT7側に接続されており、分布カウントメモリ4はリード状態にある。

【0026】次に、f1=“0”か否かを判断する(ステップ10)。即ち、そのアドレスにデータが存在するか否かを判断する。f1=“0”なら、即ち、データが存在しないなら、ステップ16に進む。

【0027】一方、f1が“0”でないなら、STCN

$T \leftarrow STCNT + 1$ のインクリメント処理を行うと共に、STCNTの示す結果メモリ6のアドレスに、BUNOを書き込む(ステップ11)。なお、ここで、結果メモリ6には、アドレス1から書き込まれることになるが、これは、アドレス0を空けておくことで、ここに必要ならば処理したポリゴン数を書き込めるようにするためである。また、上記ステップ11の処理は、例えば、図11においては、同図(b)の説明に該当する。

【0028】次に、f2=“0”か否かを判断する(ステップ12)。即ち、共通のZ値をもつものが存在したか否かを判断する。f2=“0”なら、即ち、共通のZ値をもつものが存在しないなら、ステップ16に進む。

【0029】一方、f2=“0”でないなら、BUNOの示すチェーンメモリ5のアドレスのデータを読み出す(ステップ13)。そして、 $STCNT \leftarrow STCNT + 1$ のインクリメント処理を行うと共に、STCNTの示す結果メモリ6のアドレスにCHNO(チェーンメモリ5の該当アドレスに書き込まれているポリゴンNO)を書き込む(ステップ14)。このステップ14の処理は、例えば、図11においては、同図(c)の説明に該当する。即ち、結果メモリ6のアドレス“2”には、分布カウントメモリ4のアドレス“1”が示すBUNOである“3”が書き込まれると共に、このBUNO“3”が示すチェーンメモリ5のアドレスのCHNO“2”が結果メモリ6のアドレス“3”に書き込まれる。

【0030】次に、f3=“0”か否かを判断し、f3=“0”ならステップ16に進む一方、f3=“0”でないなら、ステップ13およびステップ14の処理を繰り返す。即ち、f3=“0”でないなら、チェーンする必要があるので、CHNOの示すチェーンメモリ5のアドレスのCHNOをリードし、一つ加算したアドレスの結果メモリ6に上記のリードしたCHNOを書き込む。この処理は、例えば、図12の(a)から同図の(b)の説明に該当する。即ち、チェーンメモリ5のアドレス“7”のf3が“1”なので、このアドレス“7”のCHNO“5”が示すアドレスのCHNO“0”を結果メモリ6のアドレス“6”に書き込む。

【0031】ステップ16では、 $BUCNT \geq 6$ か否かを判断し、ノー(No)なら $BUCNT \leftarrow BUCNT + 1$ のインクリメント処理を行い(ステップ17)、再びステップ9に進む。即ち、分布カウントメモリ4の一つインクリメントしたアドレスについての上記処理を繰り返すことになる。一方、イエス(Yes)なら終了する。

【0032】以上の第2処理が終了すると、図13の(c)に示すように、結果メモリ6には、Z値の小さいもの順にポリゴンNOが並べ替えられて格納される。即ちソーティングが行われたことになる。

【0033】次に、上記ソーティング装置のスピードについて説明する。なお、ポリゴン数をN個、Z値のビット

ト数をMとしている。

【0034】第1処理では、分布カウントメモリの初期化に 2^M サイクル、データメモリの読み出しにNサイクル、分布カウントメモリの読み出しにNサイクル分布カウントメモリの書き込み或いは分布カウントメモリとチェーンメモリの書き込みにNサイクル必要となり、合計では、 $(3N+2^M)$ サイクルとなる。これは、図14のパイプライン未使用の場合に相当する。一方、パイプライン使用の場合には、図15に示すように、 $(2N+1+2^M)$ サイクルとなる。

【0035】第2処理では、第1処理において初期化を行っている場合、図16に示すように、分布カウントメモリのアドレス0～ (2^M-1) までの読み出しに 2^M サイクル、分布カウントメモリとチェーンメモリの読み出し（結果メモリに書き込むためのデータの読み出し）と結果メモリの書き込みに $(N+1)$ サイクルで、合計 $(N+1+2^M)$ となる。従って、全体では、 $(3N+2^{M+1}+2)$ サイクルとなる。

【0036】なお、第1処理の最初に初期化を行うの *

*は、以下の理由による。即ち、通常ソーティング装置は、1フレーム内で処理可能なだけのポリゴン数で処理を行うのであるが、ある特別な理由、例えば、途中でポリゴン数を増やしてより美しい現実感の画像を出したい、等の理由があるときで、2フレーム以上を費やし、より多くのポリゴンを処理したいときに、すぐに対応できるようにするためである。即ち、2フレーム以上処理を行う場合には、2フレーム目からは初期化を行わないように処理できるからである。

10 【0037】一方、上記のように、1フレーム内で処理可能なだけのポリゴン数の処理を行うだけであれば、図17に示すように、分布カウントメモリの読み出し後に初期化してもよく、この場合は、 $2N+1$ サイクルとなり、合計では $(4N+2^M+1)$ サイクルとなる。なお、表1には、ソーティング装置のサイクル数とメモリ容量（ワーキングRAM）を示してある。

【0038】

【表1】

M bit	N (個)	$3N+2^{(M+1)}+2$ (サイクル)	$4N+2^M+1$ (サイクル)	分布カウント メモリ	チェーン メモリ
8	2000	6514 (0.7ms)	8257 (0.8ms)	256WORD ×13bit	2KWORD ×12bit
15	8191	90111 (9.1ms)	65533 (6.6ms)	32KWORD ×15bit	8KWORD ×14bit
16	10000	161074 (16.2ms)	105537 (10.6ms)	64KWORD ×16bit	10KWORD ×15bit

() 内は1サイクルを100nsとして計算

【0039】また、本実施例では、ソーティングスピードを向上させるために、分布カウントメモリとチェーンメモリを他のメモリから分けているが、ソーティングスピードに余裕がある場合は、分布カウントメモリとチェーンメモリをデータメモリか或いは結果メモリに領域区分で設けるようにしてもよく、これによれば、コストダウンを図ることができる。

【0040】図18は、幾何変換装置とソーティング装置の処理期間の関係を示している。同図(a)では、最初の1フレームで幾何変換を或る数のポリゴンの全てについて纏めて行い、次の1フレームでそのフレームの同幾何変換を行うと共に、前フレームで幾何変換されたデータについてソーティングを行っている。そのため、幾何変換を行い始めてからソーティングが終わるまでに2フレームを必要としている。また、同図(b)は1フレーム内で幾何変換とソーティングを行えるようにした場合を示している。しかし、この場合は、同図(a)の場

合に比べ、処理できるポリゴン数はほぼ半減する。そして、同図(c)は、幾何変換とソーティングの第1処理を同時に行い、ポリゴンの処理能力の低下を極力抑えた場合を示している。つまり、図3(a)の入力データ発生回路1からデータが出力される毎に、第1処理を行い、幾何変換処理が終了した後、第2処理を始めている。

40

【0041】（実施例2）本実施例のソーティング装置は、フラグ1, 2, 3を用いずに処理するようにした実施例である。以下、この実施例を、図19及び図20のフローチャートを用いて説明する。

【0042】まず、分布カウントメモリ4及びチェーンメモリ5の初期化を行う（ステップ21）。次に、ポリゴンNO（PolyNO：新たに書き込もうとするポリゴンNO）及びZ値を読み出す。なお、ポリゴンNOは“1”から始まる。次に、Z値の示す分布カウントメモリ4のアドレスのデータであるポリゴンNO（BUN

50

O:既に書き込まれているポリゴンNO)を読み出す(ステップ23)。そして、BUNO="0"か否かを判断し(ステップ24)、BUNO="0"であれば、即ち、分布カウントメモリ4の該当アドレスに何も書き込まれていないならば(フラグ1="0"に相当する)、Z値の示す分布カウントメモリ4のアドレスのポリゴンNO領域にPolyNOを書き込み(ステップ24)、ステップ26に進む。

【0043】一方、BUNO="0"でないなら、即ち、分布カウントメモリ4の該当アドレスに既にデータが書き込まれているならば(フラグ1="1"に相当する)、PolyNOの示すチェーンメモリ5のポリゴンNO領域にBUNOを書き込んだ後(ステップ27)、ステップ25を経てステップ26に進む。

【0044】ステップ26では、第1処理が終了したか否かを判断し、終了していないなら、ステップ22に進む一方、終了したなら、ステップ2に進む。

【0045】第2処理では、BUCNT=0、及びSTCNT=0の処理を行う(ステップ28)。次に、BUCNTの示す分布カウントメモリのアドレスのデータであるポリゴンNO(BUNO)を読み出す(ステップ29)。次に、BUNO=0か否かを判断する(ステップ30)。BUNO=0なら、即ち、該当アドレスに何も書き込まれていないなら、ステップ35に進む一方、BUNO=0でないなら、STCNT←STCNT+1の処理を行うと共に、STCNTの示す結果メモリ6のアドレスにBUNOを書き込む(ステップ32)。

【0046】次に、CHNO=0か否かを判断し(ステップ33)、CHNO=0なら、即ち、チェーンメモリ5の該当アドレスに何も書き込まれていないなら、ステップ35に進む一方、CHNO=0でないなら、STCNT←STCNT+1の処理を行うと共に、STCNTの示す結果メモリ6のアドレスにCHNOを書き込む。更に、そのCHNOをBUNOとしてステップ32の処理を繰り返す。以後のステップ35、ステップ36については、実施例1と同様である。

【0047】(実施例3)本実施例のソーティング装置は、Z値のビット数Mが16ビット程度以上である場合に有効なソーティング処理を示している。以下、本実施例を図21乃至50に基づいて説明する。なお、本実施例では、実施例1と同様、フラグ1、2、3を用いている。また、幾何変換装置とソーティング装置の処理期間の関係では、前述の図3(a)のように、入力データ発生回路1からデータが出力される毎に、第1処理を行い、幾何変換処理が終了した後、第2処理を始めるものとしている。

【0048】図25は、分布カウントメモリ4のフォーマットを示す図であり、この分布カウントメモリ4には、High領域とLow領域とが設けられている。また、図26は、チェーンメモリ5のフォーマットを示す

図であり、このチェーンメモリ5には、上記と同様、High領域とLow領域とを設けてある。ここに、High領域は、Z値を二分してそのMSB側のZ値Highを処理する領域であり、Low領域はLSB側のZ値Lowを処理する領域である。

【0049】ここで、本ソーティング処理の概要を先ず説明する。上記のように分布カウントメモリ4及びチェーンメモリ5をHigh領域とLow領域とに分け、第1処理をZ値High側について行い、この第1処理の終了後、Z値High側だけで第2処理を行う。このとき、分布カウントメモリ4のHigh領域を読み出す処理で、フラグ2=1の場合、即ち、同じZ値Highが2個以上ある場合のみ、Z値Low側について第1処理と同様の処理(以下、Lowカウント処理という)を行い、このLowカウント処理が終了すると、Low側について第2処理(以下、Lowリード処理)を行い、中断していたHigh側についての第2処理を続行する。

【0050】また、本実施例では、ソーティングのスピードを向上させるために、図27に示すようなフラグメモリ31を設けると共に、図28に示すようなフラグ処理回路32を設けている。即ち、Lowカウント処理において、分布カウントメモリ4のLow領域のどのフラグ1がセットされているかを即時に判断できるようにし、全てのアドレスについてフラグ1のセット状態を確認するといった無駄な処理を無くして高速化を図るようにしている。

【0051】上記のフラグメモリ31は、5ビットで表されるアドレスに8ビットのデータを保持するメモリである。フラグメモリ31の0番地は、分布カウントメモリ4のLow領域の0番地～7番地までに対応し、そのときのd0は上記Low領域の0番地に、d1はLow領域の1番地に対応する。従って、例えば、アドレス0番地のデータd7～d0が例えば"00001100"であれば、分布カウントメモリ4のLow領域の2番地と3番地のフラグがセットされていることを示す。また、フラグメモリ31の31番地は、分布カウントメモリ4のLow領域の248～255(16進数でFF)番地までに対応し、そのときのd7はLow領域の255番地に対応する。従って、アドレス31番地のデータd7～d0が例えば"11000000"であれば、分布カウントメモリ4のLow領域の254番地と255番地のフラグがセットされていることを示す(図29(a)の図中(フラグメモリ)参照)。

【0052】上記フラグメモリ31のデータ書き込み処理を図28のブロック図により説明する。Lowカウント処理において読み出されたZLow8ビットのうち上位5ビットは、SEL33を経てフラグメモリ31のアドレスに入力され、下位3ビットは、例えば、"011"であれば、合成回路34によって"00001000"に変換された後フラグメモリ31の上記アドレスか

13

ら読み出された8ビットデータとのORをとって書き込まれることになる。このとき、既に書き込まれている8ビットデータが“00000010”であれば、合成データは“00001010”となる。

【0053】また、上記フラグメモリ31のデータ読み出し処理(Lowリード処理において行われる)は、SEL33がFLCNT38側に接続された状態で行われ、このFLCNT38から5ビットアドレス(アドレス0~31に対応する)がフラグメモリ31のアドレスに入力されることにより、そのアドレスのデータが出力される。このとき、REG35は、フラグメモリ31から読みだされたデータを保持すると共に、このデータをプライオリティエンコーダ36に供給する。

【0054】プライオリティエンコーダ36は、フラグメモリ31のデータからどの分布カウントメモリ4のどのアドレスのフラグ1がセットされているか否かを示すデータを生成するものである。例えば、データが“00001010”であれば、d7~d0のなかのセットされているもののうち、まず一番小さいd1に着目し、“001”を出力し、このときFLCNT38からの5ビットデータ(例えば、アドレス0であったなら“00000”)と合成されて、“00000001”の8ビットデータとなり、16進数で“01”として分布カウントメモリ4のLow領域のアドレスへと出力され、この分布カウントメモリ4では、Low領域の1番地が選択されることになる。

【0055】一方、プライオリティエンコーダ36から出力された3ビットデータは、デコーダ37にも入力され、このデコーダ37により、例えば、上記の3ビットデータ“001”は、“00000010”に変換され、更に反転されて“11111101”となり、これがREG35に入力されると、このREG35で保持していた8ビットデータ“00001010”のd1がリセットされ、“00001000”となってプライオリティエンコーダ36に入力される。そして、このプライオリティエンコーダ36からは、d3のセットに着目して“011”が出力され、FLCNT38からの5ビットデータと合成されて、“00000011”の8ビットデータとなり、16進数で“03”として分布カウントメモリ4のアドレスへと出力され、Low領域の3番地が選択されることになる。

【0056】次に、図21乃至図24のフローチャートに基づいてソーティング処理を説明する。図21の第1処理において、まず、フラグ1及びフラグメモリ31の初期化を行う(ステップ41)。この初期化により、各メモリの内容は、図29(b)に示すようになる。そして、ポリゴンNO(PolyNO)及びZ値(PZH, PZL)を取り込む(ステップ42)。取り込まれたデータは、例えば、図29(b)において、図中の(入力データ)の示す内容となる。なお、PZHとはZ値のH

14

igh側を意味し、PZLとはZ値のLow側を意味する。

【0057】次に、PZHの示す分布カウントメモリ4のHigh領域のアドレスのデータであるZ値L(BUZL:既に書き込まれているZ値Low側を示す)、ポリゴンNO(BUNO:既に書き込まれているポリゴンNO)、フラグ2(f2)、及びフラグ1(f1)をリードする(ステップ43)。

【0058】そして、f1=0か否かを判断し(ステップ44)、f1=0であれば、PZHの示す分布カウントメモリ4のHigh領域のアドレスに、Z値L領域にはPZLを、ポリゴンNO領域にはPolyNOを、フラグ2にはf1の内容を、フラグ1には“1”をそれぞれ書き込む(ステップ45)。例えば、図30(a)に示すように、0番のポリゴンについては、PZH(03)の示す分布カウントメモリ4のHigh領域のアドレス(003)に、Z値L領域にはPZL(07)を、ポリゴンNO領域にはPolyNO(0)を、フラグ2にはf1の内容(0)を、フラグ1には“1”をそれぞれ書き込む(ステップ45)。

【0059】一方、ステップ44において、f1=0でないなら、PolyNOの示すチェーンメモリ5のHigh領域のアドレスに、Z値L領域にはBUZLを、ポリゴンNO領域にはBUNOを、フラグ3にはf2の内容を書き込む(ステップ47)。例えば、図32(a)及び(b)に示すように、入力データであるPolyNO(2)の示すチェーンメモリ5のHigh領域のアドレス(0002)に、Z値L領域にはBUZL(07)を、ポリゴンNO領域にはBUNO(0)を、フラグ3にはf2の内容(1)をそれぞれ書き込む。その後、ステップ45に進む。このステップ45により、図32(b)に示すように、入力データであるPolyNO(2)の内容の分布カウントメモリ4のHigh領域への書き込みが行われる。

【0060】ステップ45の処理の後に、第1処理が終了したか否かを判断し(ステップ46)、終了していないならステップ42に進む。この処理を繰り返すことにより、各メモリの内容は、図30、31、32、33、34、35、36、37に示すような内容に順に変化していく。一方、終了したなら、第2処理に進む。この第1の処理が終了したときには、最終的な各メモリの内容は、図37の(b)に示すようになる。

【0061】次に、第2処理を説明する。図22に示すように、まず、BUCNT=0、STCNT=0の処理を行う(ステップ48)。次に、BUCNTの示す分布カウントメモリ4のHigh領域のアドレスのデータ、即ち、BUZL、BUNO、フラグ2、及びフラグ1の内容をリードする(ステップ49)。

【0062】次に、f1=0か否かを判断する(ステップ50)。f1=0であれば、BUCNT \geq 255か否

かを判断し、イエスであれば終了する一方、ノーであれば、 $BUCNT \leftarrow BUCNT + 1$ のインクリメント処理を実行し（ステップ54）、ステップ49に進む。例えば、図38（a）において、 $BUCNT$ （000）では、 $f_1 = 0$ なので、 $BUCNT$ は（001）にインクリメントされ、図38（b）に進む。

【0063】一方、 $f_1 = 0$ でなければ、 $f_2 = 0$ か否かを判断する（ステップ51）。 $f_2 = 0$ であれば、即ち、 Z 値のHigh側が共通しているものがなければ、 $STCNT \leftarrow STCNT + 1$ の処理を行うと共に、 $STCNT$ の示す結果メモリ6のアドレスに $BUNO$ をライトした後（ステップ52）、ステップ53に進む。例えば、図39（a）において、 $BUCNT$ （001）では、 $f_1 = 1$ で $f_2 = 0$ であり、 $STCNT$ は“1”にインクリメントされているので、結果メモリ6のアドレス（0001）に $BUNO$ （4）が書き込まれる。一方、 $f_2 = 0$ でなければ、即ち、 Z 値のHigh側が共通しているものがあれば、Lowカウント処理を行った後、ステップ53に進む。

【0064】Lowカウント処理は、図23に示すように、まず、既にリードしている $BUZL$ を $ZLow$ とする処理、既にリードしている $BUNO$ を $PLNO$ とする処理、及び、フラグ3を1とする処理を行う（ステップ55）。次に、 $ZLow$ の示す分布カウントメモリ4のLow領域のアドレスのデータ、即ち、ポリゴンNO（以下、 $BULNO$ という。 $BULNO$: Low領域に格納されている $BUNO$ を意味している）、フラグ2（ $FL2$ ）、及び、フラグ1（ $FL1$ ）の内容をリードする（ステップ56）。例えば、図40（a）において、分布カウントメモリ4のHigh領域のアドレス（002）では、フラグ2=1なので、 $ZLow = 03$ となり、 $PLNO = 6$ となる。そして、図40（b）のように、 $ZLow$ の示す分布カウントメモリ4のLow領域のアドレス（103）のデータがリードされる。

【0065】次に、 $ZLow$ の上位5ビットの示すフラグメモリ31のアドレスの8ビットデータ（以下、 $FLDA$ と称する）をリードする（ステップ57）。例えば、上記の場合、 $ZLow$ の上位5ビットは“00000”なので、フラグメモリ31の“00”番地の8ビットデータがリードされる。

【0066】次に、 $FL1 = 0$ か否かを判断する（ステップ58）。 $FL1 = 0$ であれば、即ち、 $ZLow$ の共通するポリゴンがない場合、 $ZLow$ の示す分布カウントメモリ4のアドレスに、ポリゴンNO領域には $PLNO$ を、フラグ2には $FL1$ を、フラグ1には“1”をライトする（ステップ59）。例えば、図41（a）において、 $ZLow$ （03）の示す分布カウントメモリ4のLow領域のアドレス（103）に、ポリゴンNO領域には $PLNO$ （6）を、フラグ2には $FL1$ （0）を、フラグ1には“1”をライトする（ステップ5

9）。

【0067】次に、 $ZLow$ 上位5ビットの示すフラグメモリ31のアドレスに、 $ZLow$ 下位3ビットをデコードしたデータと、 $FLDA$ のORをとり、その合成データをフラグメモリ31の上記アドレスにライトする（ステップ60）。例えば、図41（a）の分布カウントメモリ4のHigh領域のアドレス（002）において、 $ZLow$ （03）の下位3ビット（011）をデコードしたデータ（00001000）と、 $FLDA$ （00000000）のORをとり、その合成データ（00001000）をフラグメモリ31の上記アドレスにライトする。なお、この処理は、図28に示している合成回路34、SEL33、及びフラグメモリ31によりなされる。

【0068】そして、 $f_3 = 0$ か否かを判断する（ステップ61）。なお、最初にこのステップを通るときは、ステップ55で $f_3 = 1$ とされているので、ステップ62に進む。ステップ62では、 $PLNO$ の示すチェーンメモリ5のHigh領域のアドレスのデータ、即ち、 Z 値 L （ $CHZL$ ）、ポリゴンNO（ $CHNO$ ）、フラグ3（ f_3 ）をリードする。例えば、図41の（a）において、 $PLNO$ （6）の示すチェーンメモリ5のHigh領域のアドレス（0006）のデータである $CHZL$ （FF）、 $CHNO$ （1）、 f_3 （0）をリードする。

【0069】次に、 $ZLow \leftarrow CHZL$ 、 $PLNO \leftarrow CHNO$ の代入処理を行い（ステップ63）、ステップ56に戻る。そして、このステップ56からステップ61に進み、ステップ61で $f_3 = 0$ と判断されると、Lowリード処理に移行することになる。例えば、図42の（a）に示すように、 $ZLow \leftarrow CHZL$ （FF）、 $PLNO \leftarrow CHNO$ （1）の代入処理が行われ、分布カウントメモリ4のLow領域のアドレス（1FF）へ $PLNO$ （1）を書き込み、フラグメモリ31には、そのアドレス1Fに“10000000”が書き込まれる。そして、チェーンメモリ5のHigh側のアドレス（0006）の f_3 が0であることにより、上記ステップ61でイエスとされ、Lowリード処理に進む。

【0070】次に、このLowリード処理について、図24により説明する。なお、前記Lowカウント処理のステップ64については後述する。

【0071】Lowリード処理では、まず、 $FLCNT = 0$ の処理がなされる（ステップ65）。次に、 $FLCNT$ の示すフラグメモリ31のアドレスのデータ（ $FLDA$ ）をリードする（ステップ66）。最初は、フラグメモリ31の0番地のデータが読み出されることになる。そして、 $FLDA = All$ “0”か否かを判断し、イエスであれば、即ち、0～255番までであるうちの0番～7番のフラグが全て0であれば、 $FLCNT \geq 31$ か否かを判断し（ステップ79）、イエスであればLowリード処理を終了する一方、ノーであれば、 $FLCN$

T←FLCNT+1のインクリメント処理を実行し（ステップ80）、ステップ66に戻る。

【0072】一方、ステップ67でノーとされたなら、FLDAをデータの小さい順にプライオリティエンコードし、PEDAを生成する（ステップ68）。そして、FLCNTとPEDAを合成してBUADを生成する（ステップ69）。なお、上位5ビットがFLCNTで下位3ビットがPEDAである。この処理は、図28のフラグ処理回路32により行われる。更に、PEDAの示すFLDAのビットをリセットする（ステップ70）。このリセット処理は、FLDAに2以上の“1”がある場合、例えば、FLDAが“00100101”である場合に、初めのリセットによってFLDAは“00100100”に、2回目のリセットによってFLDAは“00100000”に、3回目のリセットによってFLDAはオール0になる。なお、この処理は、図28のデコーダ37及びREG35によって行われる。

【0073】次に、BUADの示す分布カウントメモリ4のLow領域のアドレスのデータ、即ち、ポリゴンNO（BULNO）、フラグ2（fL2）をリードする（ステップ71）。例えば、図42の（b）のように、フラグメモリ31のアドレス（00）のFLDAが“00001000”であり、これがエンコードされて、PEDA（011）が生成され、FLCNT（0000）とPEDA（011）が合成されてBUAD（00000011）が生成され、このBUADが示す分布カウントメモリ4のLow領域のアドレス（103）のBULNO（6）とfL2（0）がリードされる。

【0074】次に、STCNT←STCNT+1のインクリメント処理を行うと共に、STCNTの示す結果メモリ6のアドレスにBULNOを書き込む（ステップ72）。例えば、ステップ71でリードされたBULNO（6）が結果メモリ6のアドレス（0002）に書き込まれることになる。

【0075】次に、fL2=0か否かの判断を行う（ステップ73）。イエスであれば、即ち、2回以上書き込まれていないのであれば、チェーンする必要はないので、ステップ67に進む。このステップ67～ステップ72を繰り返してFLDAがオール0になると、ステップ79に進むことになる。そして、このステップ80を経て、FLCNT=31となり、図43の（b）に示すように、フラグメモリ31のアドレス（1FF）のFLDAについて、前記のステップ68～ステップ73の処理が行われることになる。

【0076】一方、ステップ73でfL2=0でないとされたときには、ステップ74に進み、チェーンメモリに関係する読み出し処理を行うが、この処理を説明する前に、先に、前記の図23に示したLowカウント処理におけるステップ58でノーとされた場合の処理、即ち、チェーンメモリに関係する書き込み処理について説

明する。

【0077】例えば、図の44の（a）で、分布カウントメモリ4のアドレス（003）のデータをリードしたときに、フラグ2が“1”なので、ステップ51を経てLowカウント処理に移行する。そして、このLowカウント処理のステップ56で分布カウントメモリ4のアドレス（100）のデータを読み出す。アドレス（100）のfL1=0なので、ステップ59～61を経て、図44の（b）に示すように、分布カウントメモリ4のアドレス（100）にポリゴンNO（7）が、フラグ1には“1”が書き込まれる。そして、ステップ62により、チェーンメモリ5のアドレス（0007）のデータが読み出され、このアドレス（0007）のCHZL（00）をアドレスとして（ステップ63）、分布カウントメモリ4のアドレス（100）をリードする（ステップ56）。このとき、ステップ59によるフラグ1のセットにより、fL1=1となっているので、ステップ58を経て、ステップ64に進む。

【0078】ステップ64では、図45の（b）に示すように、PLNO（チェーンメモリ5のアドレス（0007）のポリゴンNO（3））の示すチェーンメモリ5のLowのアドレス（4003）に、ポリゴンNOにはBULNO（7）、フラグ3にはfL2（0）をライトする（ステップ64）。そして、ステップ61でf3=0となるまで以上の処理が繰り返されることにより、図46、図47に示すように、各メモリのLow領域、および、フラグメモリ31の各アドレスにデータが書き込まれていくことになる。

【0079】そして、f3=0と判定され、Lowリード処理に進むと、前述したように、結果メモリへBULNOが書き込まれていくが、ステップ73でfL2=0でないとされたとき、例えば、図48の（a）の分布カウントメモリ4のアドレス（100）のデータが読み出されると、fL2=0でないので、ステップ74に進むことになる。ステップ74では、CHAD←BULNOとする代入処理を実行する。例えば、図48の（a）では、BULNOは3となっているので、CHADは3になる。

【0080】次に、上記の代入されたCHADの示すチェーンメモリ5のLow領域のアドレスのデータ、即ち、ポリゴンNO（CHLNO）、及びフラグ3（fL3）をリードする（ステップ75）。例えば、図48（a）では、チェーンメモリ5のアドレス（4003）のCHLNO（7）、fL3（0）をリードする。次に、STCNT←STCNT+1のインクリメント処理を行うと共に、STCNTの示す結果メモリ6のアドレスにCHLNOを書き込む（ステップ76）。例えば、図48の（b）に示すように、STCNTの示す結果メモリ6のアドレス（0005）に、CHLNO（7）を書き込む。

【0081】そして、 $fL3=0$ か否かの判断を行う(ステップ77)。 $fL3=0$ であれば、Z値Lowで共通するものがなくなったのであるから、ステップ67に進み、フラグメモリ31のデータに基づいて高速で、Lowリード処理を行う。そして、このステップ67からステップ73が繰り返され、例えば、図48の(b)から図49の(b)に示すように、フラグメモリのリセット処理および結果メモリへのポリゴンNO書き込み処理が行われる。一方、ステップ77で $fL3=0$ でないと判定されれば、即ち、更にチェーンの必要があれば、 $CHAD \leftarrow CHLNO$ の代入処理を行い(ステップ78)、ステップ75に進む。

【0082】以上の第1処理、第2処理(Lowカウント処理及びLowリード処理含む)が行われることにより、図29乃至図50に示すように、ナンバー0~7のポリゴンは、結果メモリ6において、4, 6, 1, 3, 7, 2, 0, 5という順序で並び替えられることになる。そして、本実施例では、Z値をHighとLowに分けて処理するため、ソーティングの処理速度が一層向上されたものとなる。なお、本実施例では、HighとLowの2つのデータ群に分けたが、3つ以上のデータ群に分けて処理してもよいものである。

【0083】以上のソーティング処理で、図19(c)で示した方法でソーティングした場合の処理スピードを説明する。なお、ポリゴン数をN個、Z値ビット数をMビット、フラグメモリ31のアドレスをWordとする。第1処理では、 $(2N+1)$ サイクル必要とする

(図15参照)。第2処理では分布カウントメモリ4のHigh領域の読み出しに $2^{M/2}$ サイクル、チェーンメモリ5のHigh領域の読み出しにNサイクル、分布カウントメモリ4とチェーンメモリ5のLow領域及びフラグメモリ31の書き込みに $(2N+1)$ サイクル、フラグメモリ31の読み出しに $(F \times 2^{M/2})$ サイクル、分布カウントメモリ4及びチェーンメモリ5のLow領域の読み出しに $N+1$ サイクルとなり、合計で $(4N+(F+1)2^{M/2}+2)$ サイクルとなる。

【0084】 $N=10000$, $M=16$, $F=32$ とすると、上式から48450サイクルとなり、1サイクルを70nsとすると、約3.4ms必要になる。なお、Fを小さくすると、ソーティング処理時間が短くなるが、回路規模が大きくなるので、この例では $F=32$ としている。従って、1フレームを16.6msとすると、 $16.6-3.4=13.2$ msの時間で第1処理を行えばよい。第1処理では、 $2N+1$ サイクル必要であり、約1.5msで処理できる。即ち、図19(c)に示すように、幾何変換装置と第1処理を並行して行うことが可能になり、フレーム遅れもなくなることになる。

【0085】

【発明の効果】以上のように、本発明によれば、バッファメモリとして分布カウントメモリとチェーンメモリの

二つを備えるだけでよく、メモリの削減が図れる。また、基準値データを上位桁と下位桁に分け、上位桁が共通する基準値データについてのみ下位桁についてソートするので、ソーティングの高速化が図れる。さらに、フラグメモリのセットされているビットが示す分布カウントメモリのアドレスについてのみデータ番号を読み出すので、処理速度が向上する。また、幾何変換とソーティングの同時進行によりフレーム遅れを解消できるという効果も奏する。

10 【図面の簡単な説明】

【図1】本発明のソーティング装置のブロック図である。

【図2】同図(a)は分布カウントメモリのフォーマット図、同図(b)はチェーンメモリのフォーマット図である。

【図3】同図(a)は入力データ発生回路の一例を示すブロック図、同図(b)は入力データ発生回路の他の例を示すブロック図である。

20 【図4】本発明のフラグを用いる場合の第1処理を示すフローチャートである。

【図5】本発明のフラグを用いる場合の第2処理を示すフローチャートである。

【図6】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図7】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図8】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

30 【図9】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図10】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図11】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図12】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図13】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

40 【図14】第1処理におけるパイプライン未使用の場合の各メモリの状態を示す説明図である。

【図15】第1処理におけるパイプライン使用の場合の各メモリの状態を示す説明図である。

【図16】第1処理で初期化する場合の第2処理における各メモリの状態を示す説明図である。

【図17】第2処理で初期化する場合の第2処理における各メモリの状態を示す説明図である。

【図18】幾何変換装置とソーティング装置との処理期間の関係を示す説明図である。

50 【図19】本発明のフラグを用いない場合の第1処理を示すフローチャートである。

【図20】本発明のフラグを用いない場合の第2処理を示すフローチャートである。

【図21】本発明のZ値をHighとLowとに分けて処理する場合の第1処理を示すフローチャートである。

【図22】本発明のZ値をHighとLowとに分けて処理する場合の第2処理を示すフローチャートである。

【図23】本発明のLowカウント処理を示すフローチャートである。

【図24】本発明のLowリード処理を示すフローチャートである。

【図25】本発明のLow領域とHigh領域を有する分布カウントメモリのフォーマットを示す図である。

【図26】本発明のLow領域とHigh領域を有するチェーンメモリのフォーマットを示す図である。

【図27】本発明のフラグメモリのフォーマットを示す図である。

【図28】本発明のフラグ処理回路を示すブロック図である。

【図29】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図30】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図31】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図32】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図33】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図34】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図35】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図36】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図37】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図38】本発明の各メモリの内容及び書換え等の様子

を示す説明図である。

【図39】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図40】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図41】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図42】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

10 【図43】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図44】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図45】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図46】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図47】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

20 【図48】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

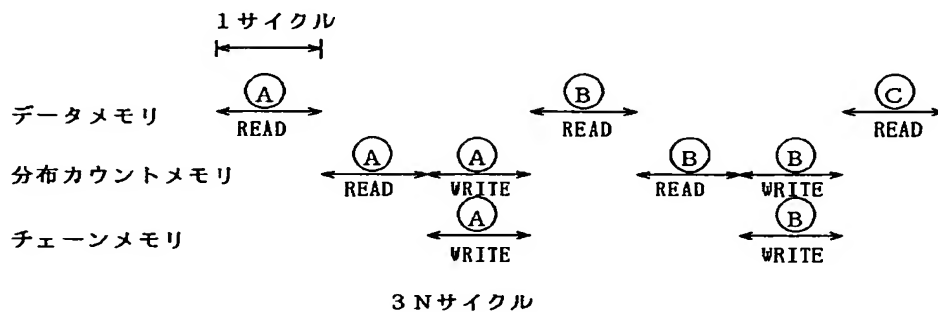
【図49】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

【図50】本発明の各メモリの内容及び書換え等の様子を示す説明図である。

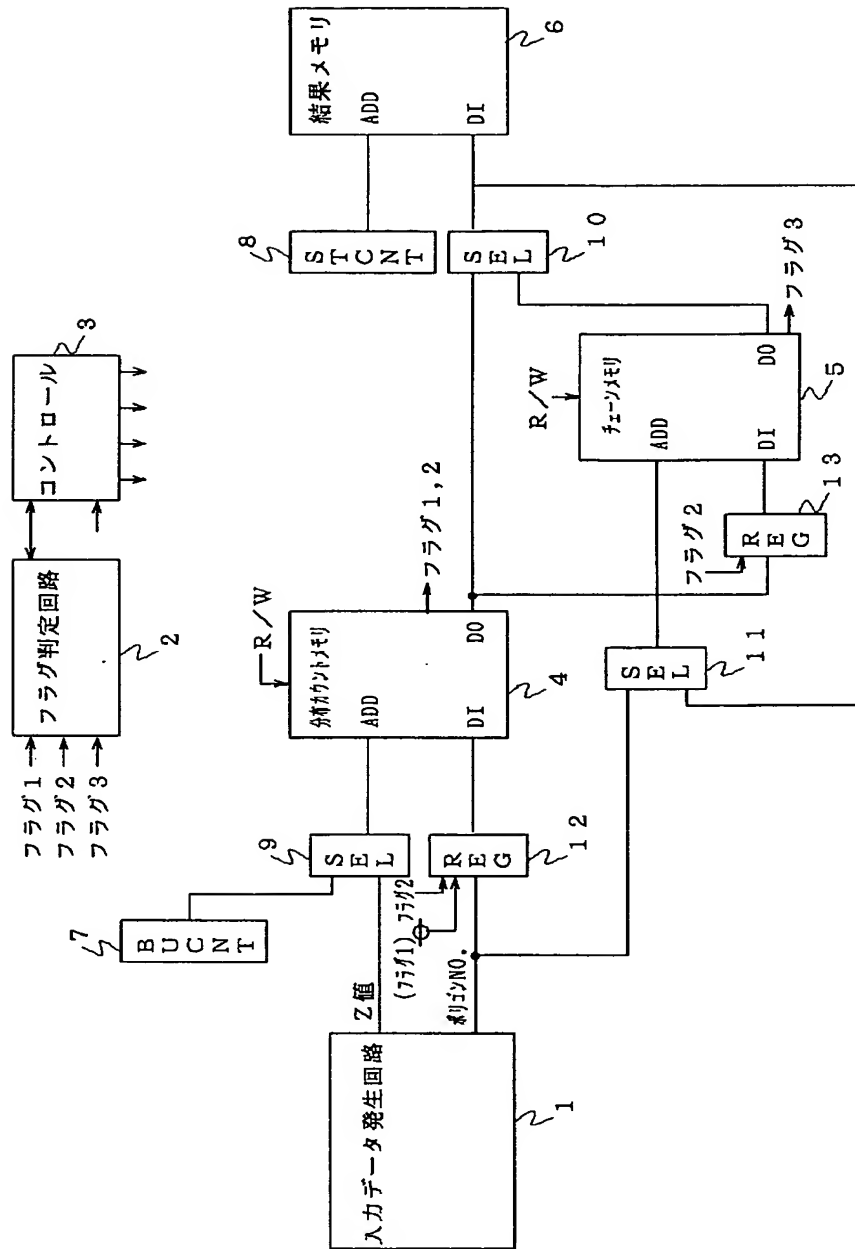
【符号の説明】

- | | |
|----|------------------|
| 1 | 入力データ発生回路 |
| 2 | フラグ判定回路 |
| 3 | コントローラ |
| 30 | 4 分布カウントメモリ |
| | 5 チェーンメモリ |
| | 6 結果メモリ |
| | 3 1 フラグメモリ |
| | 3 2 フラグ処理回路 |
| | 3 4 合成回路 |
| | 3 6 プライオリティエンコーダ |
| | 3 7 デコーダ |

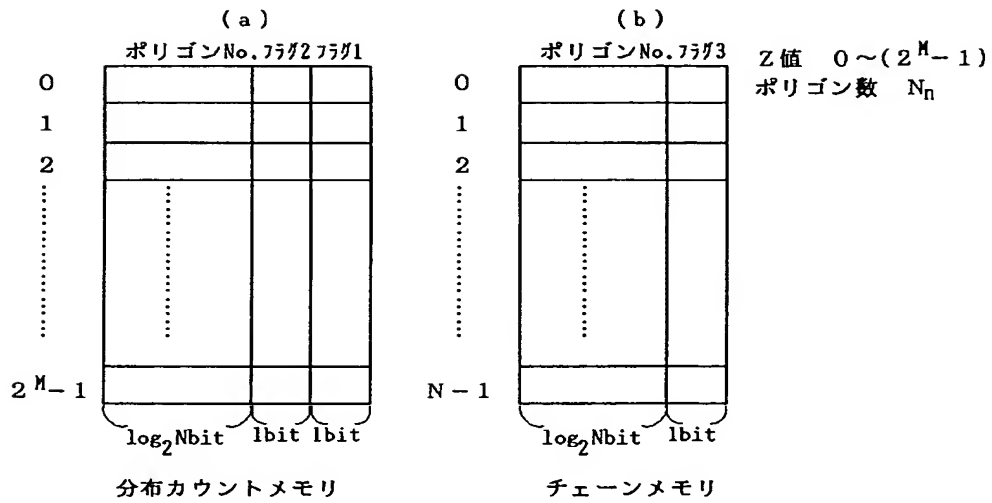
【図14】



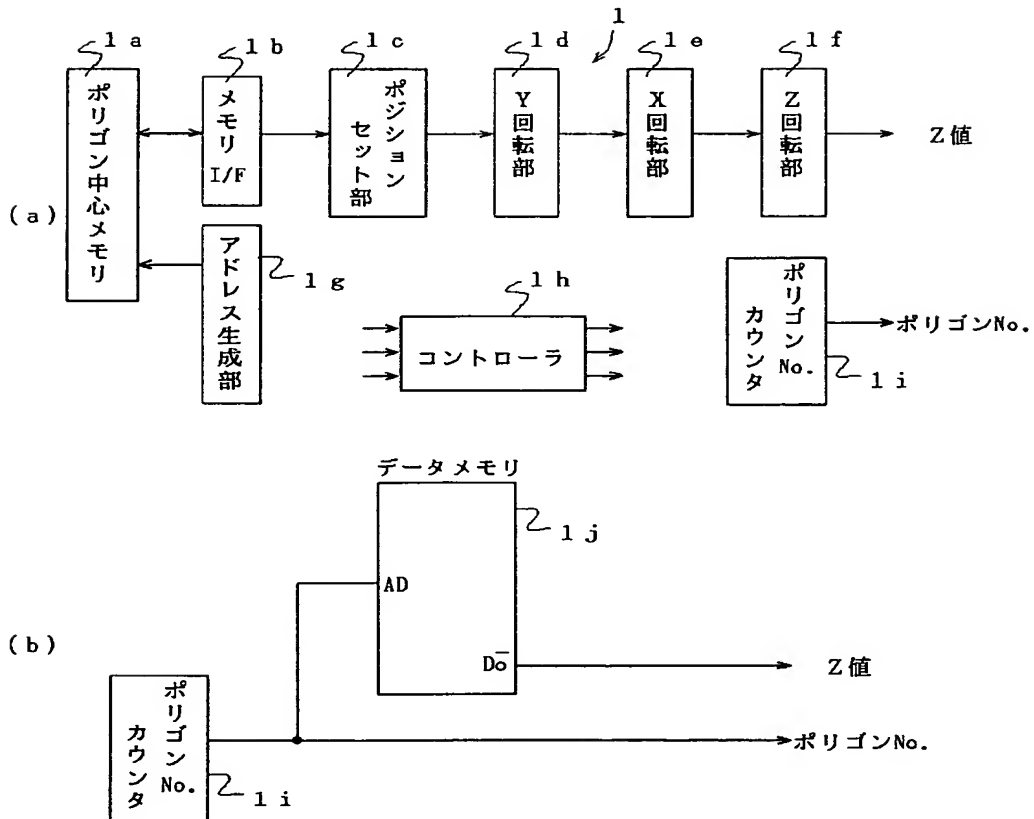
【図1】



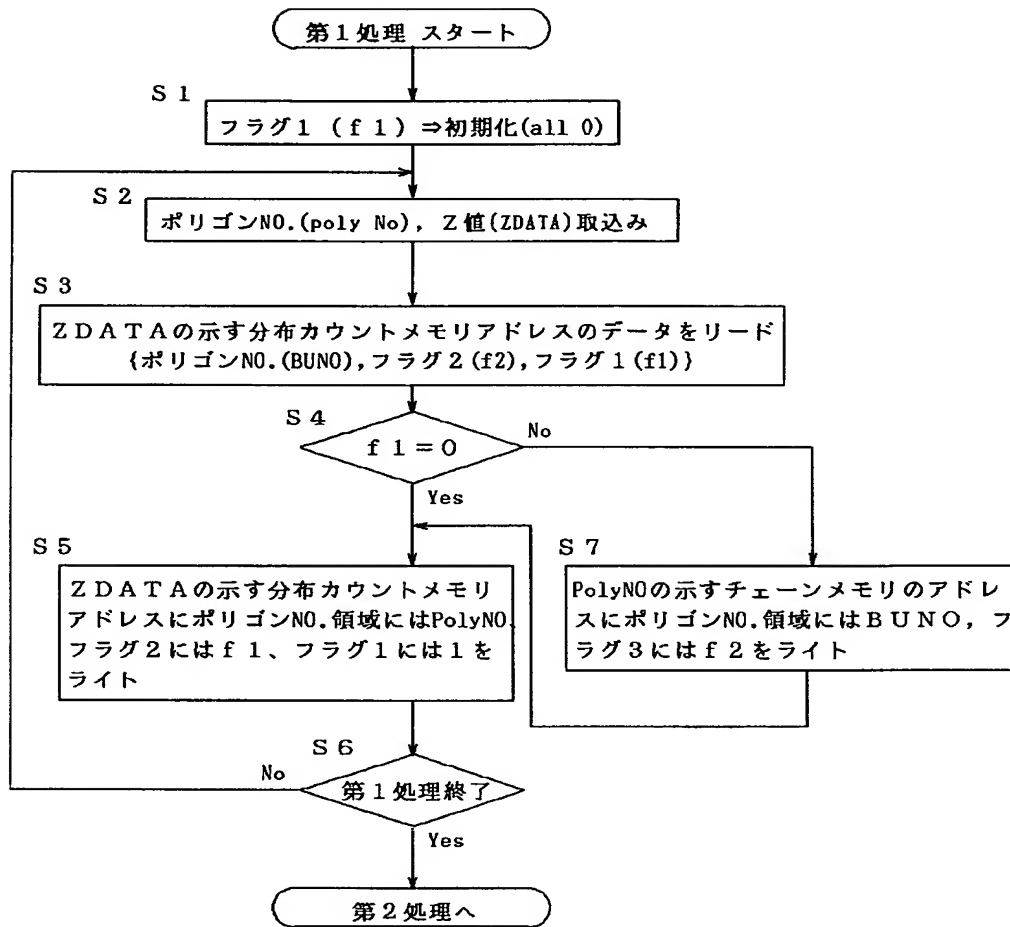
【図2】



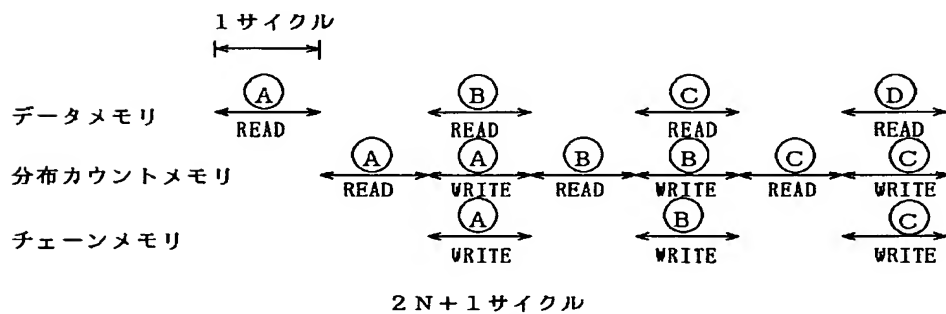
【図3】



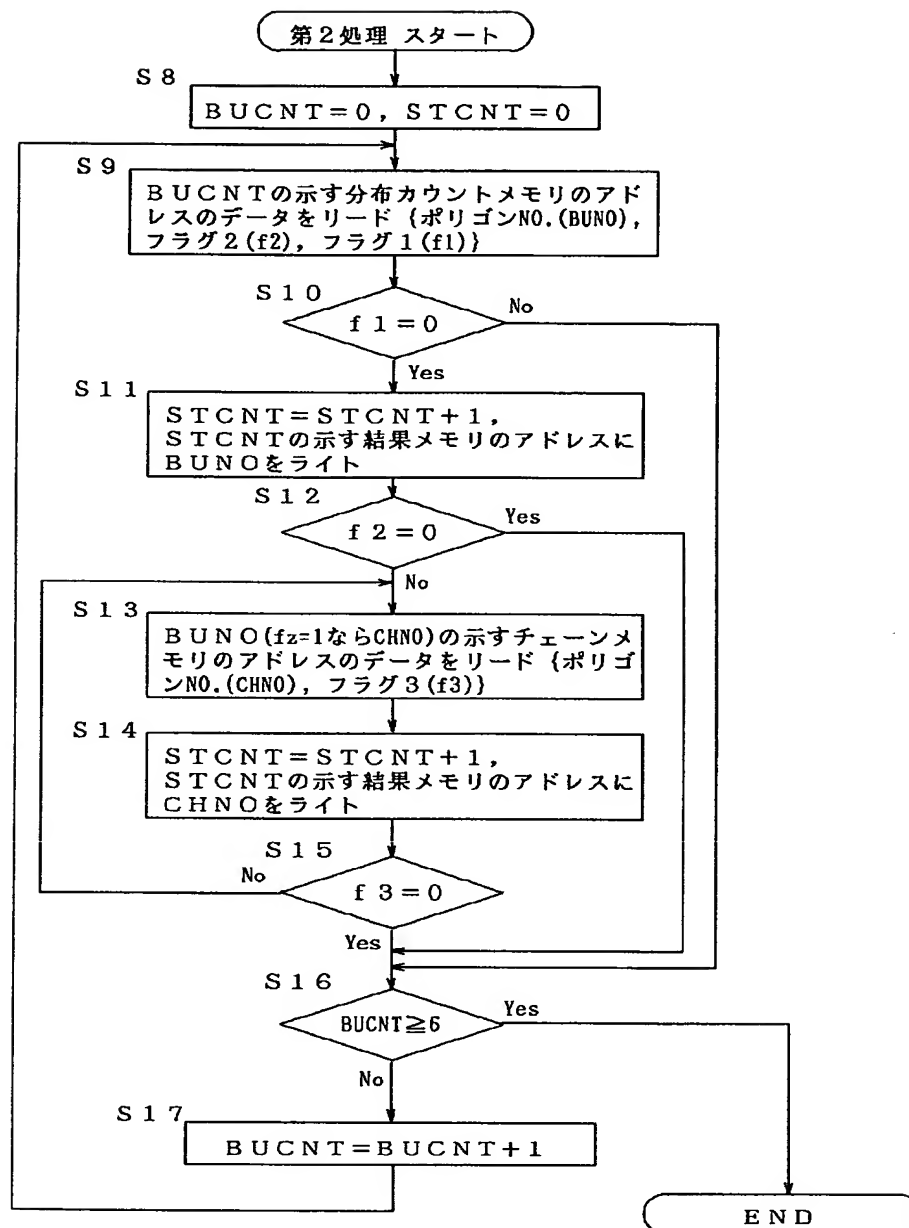
【図4】



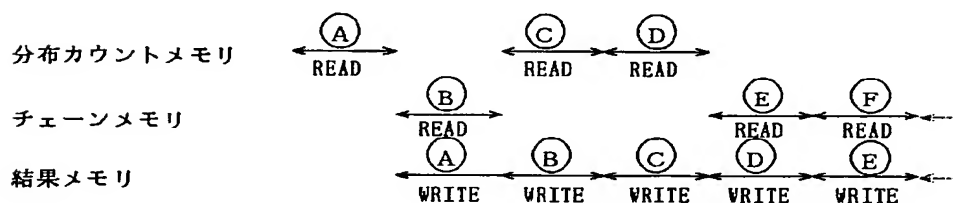
【図15】



【図5】



【図16】



(入力データメモリ) (分布カウントメモリ) (チェーンメモリ) (結果メモリ)

(入力データ生成回路) Z値 1個/2個以上無/有 ポリゴンNo. ラスト=0 順位 (小さい値から)

ポリゴン No. Z値 アドレス ポリゴンNo. 領域 フラグ2 フラグ1 アドレス ポリゴンNo. 領域 フラグ3 アドレス ポリゴンNo.

(a)

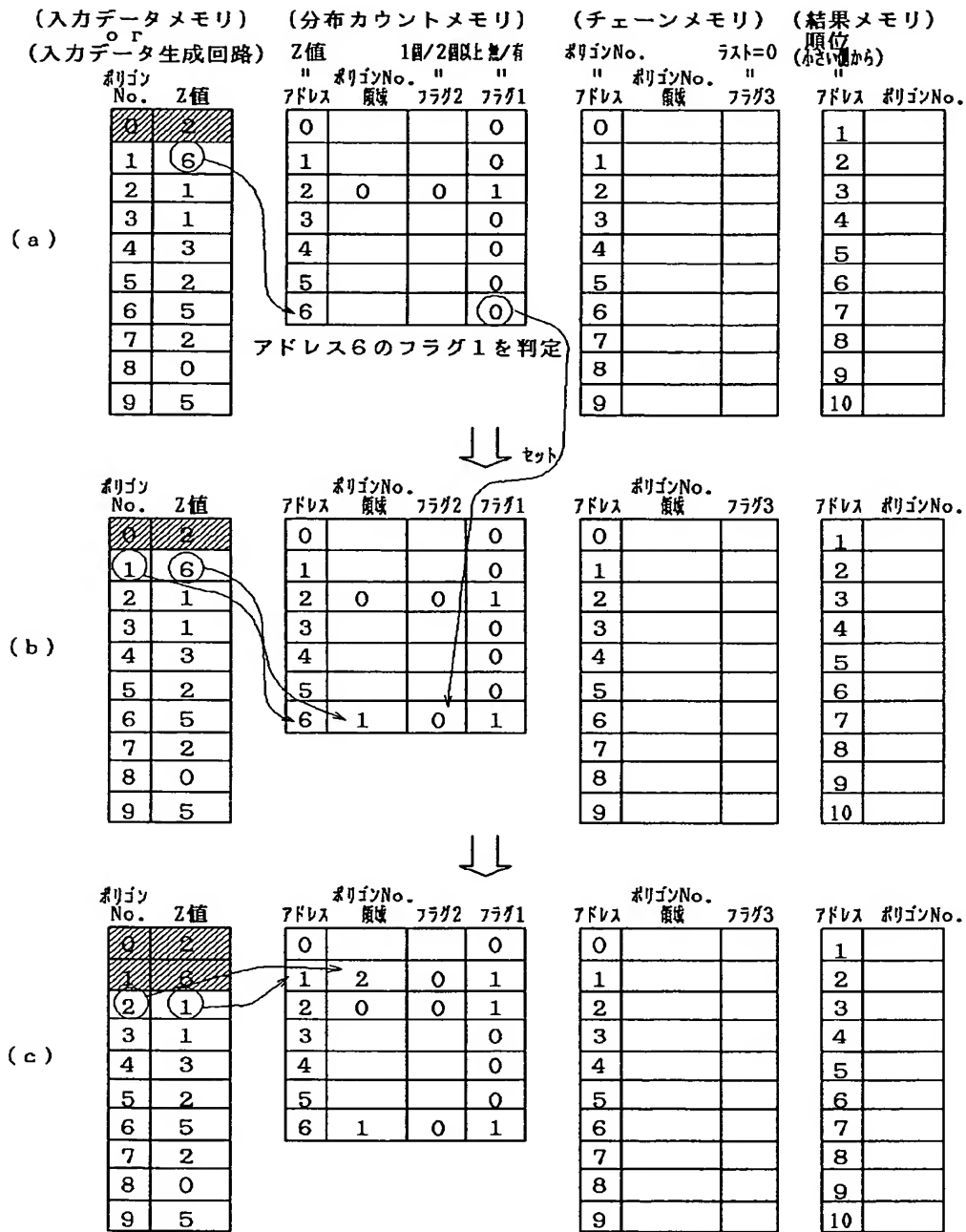
(b)

(c)

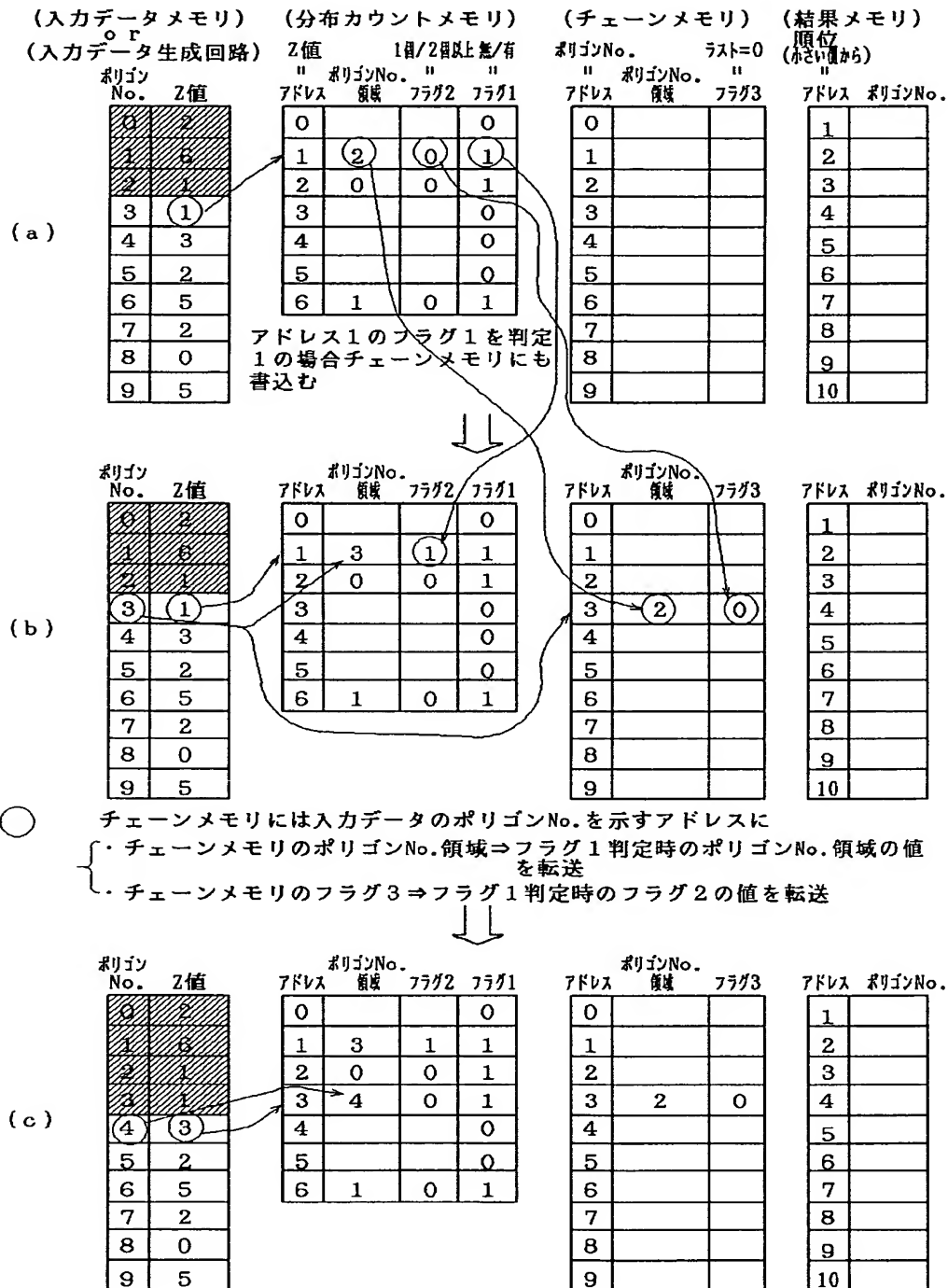
分布メモリはフラグ1の値に関係なく

- 指定されたアドレスのフラグ1⇒1をセット
- 指定されたアドレスのフラグ2⇒判定時のフラグ1の値をセット
- 指定されたアドレスのポリゴンNo.領域⇒入力データのポリゴンNo.をセット

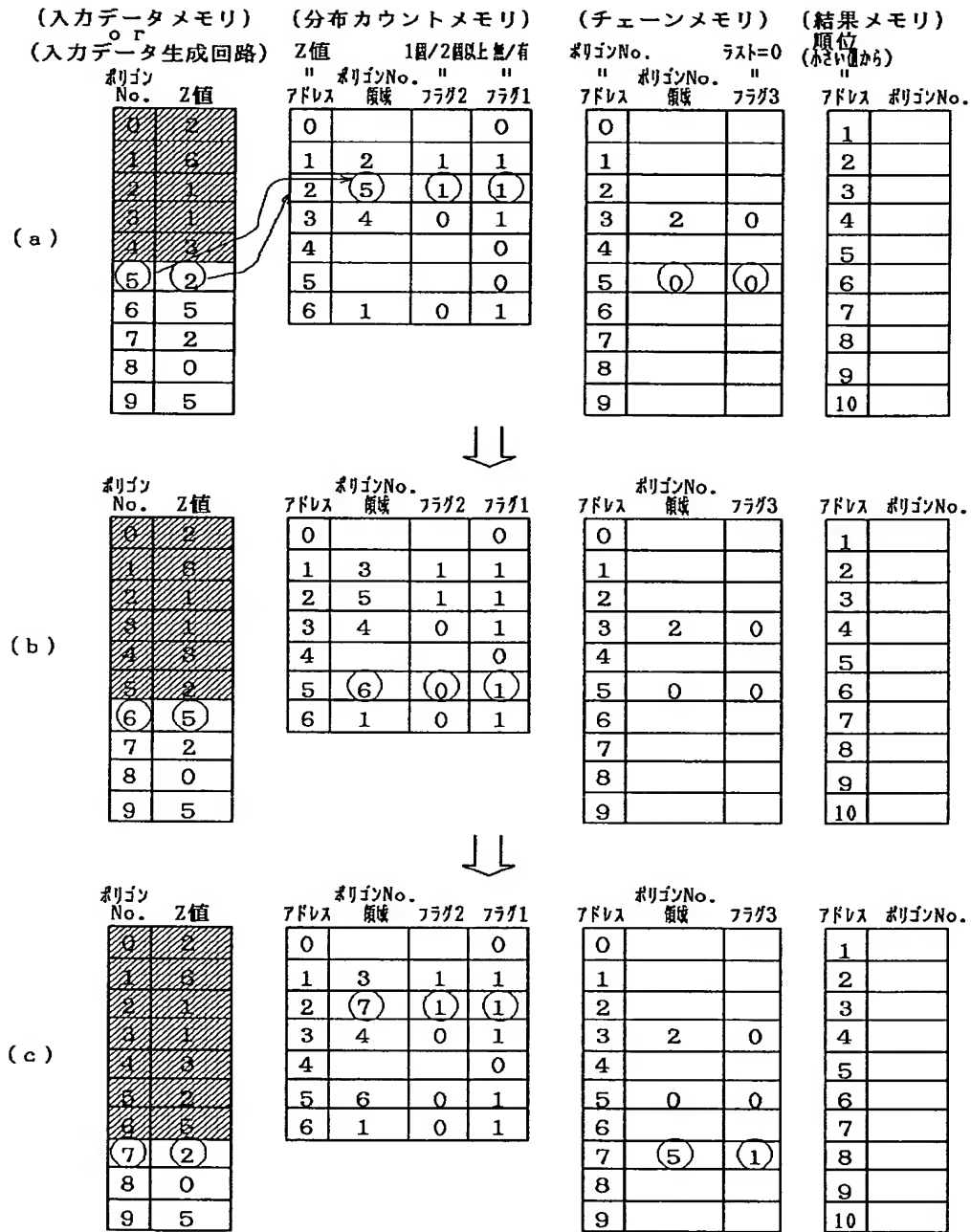
【図7】



【図8】



【図9】



(入力データメモリ)	(分布カウントメモリ)	(チェーンメモリ)	(結果メモリ)
(入力データ生成回路)	Z値	1個/2個以上と有	ポリゴンNo.
			ラスト=0
			順位 (小さい順から)

(a)

ポリゴン No.	Z値
0	2
1	5
2	1
3	1
4	3
5	2
6	5
7	2
8	0
9	5

ポリゴンNo.	領域	フラグ2	フラグ1
0	(8)	(0)	(1)
1	3	1	1
2	7	1	1
3	4	0	1
4			0
5	6	0	1
6	1	0	1

ポリゴンNo.	領域	フラグ3
0		
1		
2		
3	2	0
4		
5	0	0
6		
7	5	1
8		
9		

ポリゴンNo.
1
2
3
4
5
6
7
8
9
10



(b)

ポリゴン No.	Z値
0	2
1	5
2	1
3	1
4	5
5	2
6	5
7	2
8	0
9	5

アドレス	領域	フラグ2	フラグ1
0	8	0	1
1	3	1	1
2	7	1	1
3	4	0	1
4			0
5	(9)	(1)	(1)
6	1	0	1

ポリゴンNo.	領域	フラグ3
0		
1		
2		
3	2	0
4		
5	0	0
6		
7	5	1
8		
9	(6)	(0)

アドレス	ポリゴンNo.
1	
2	
3	
4	
5	
6	
7	
8	
9	
10	



(c)

ポリゴン No.	Z値
0	2
1	5
2	1
3	1
4	3
5	2
6	5
7	5
8	0
9	5

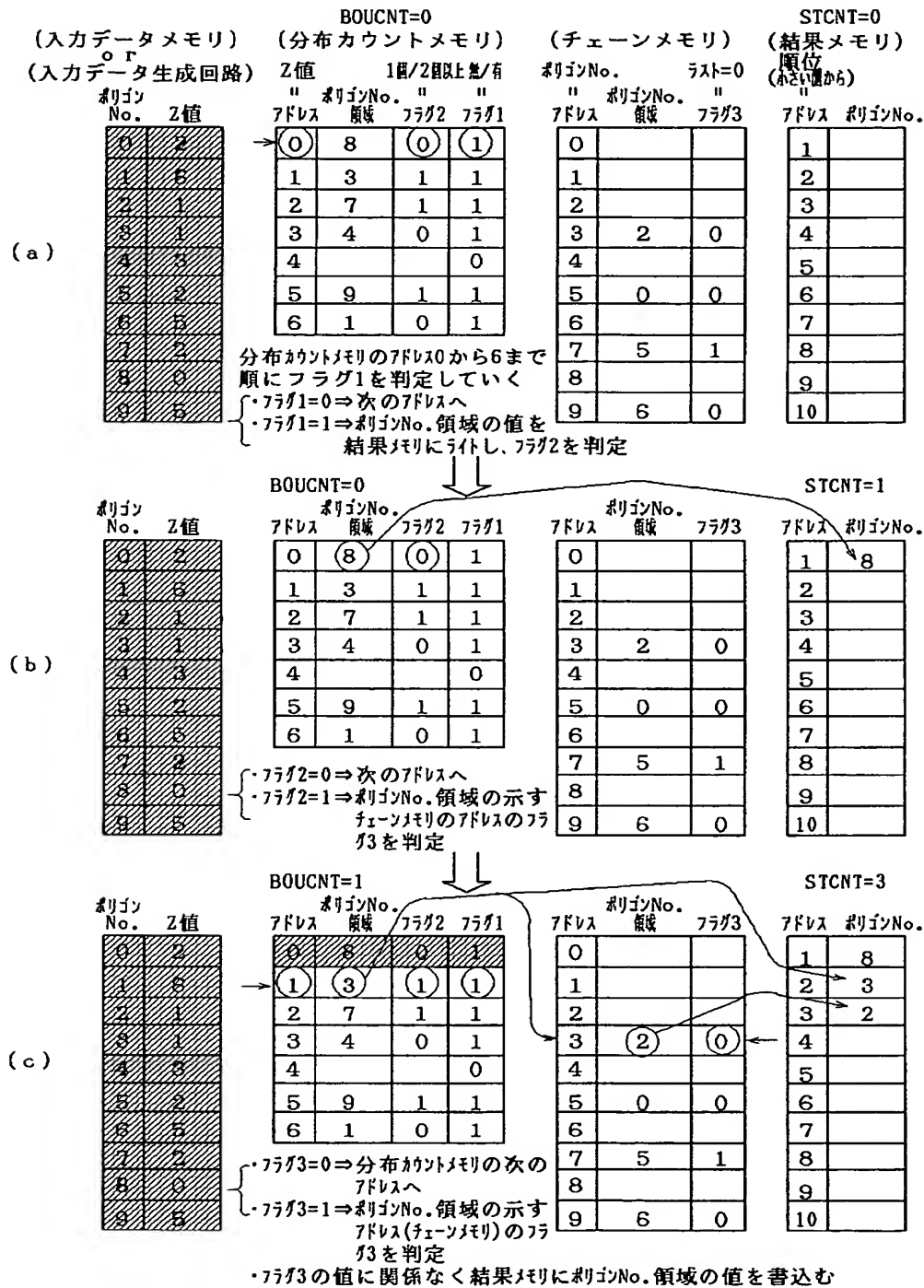
アドレス	ポリゴンNo. 領域	フラグ2	フラグ1
0	8	0	1
1	3	1	1
2	7	1	1
3	4	0	1
4			0
5	9	1	1
6	1	0	1

入力データがなくなると
第1処理終了

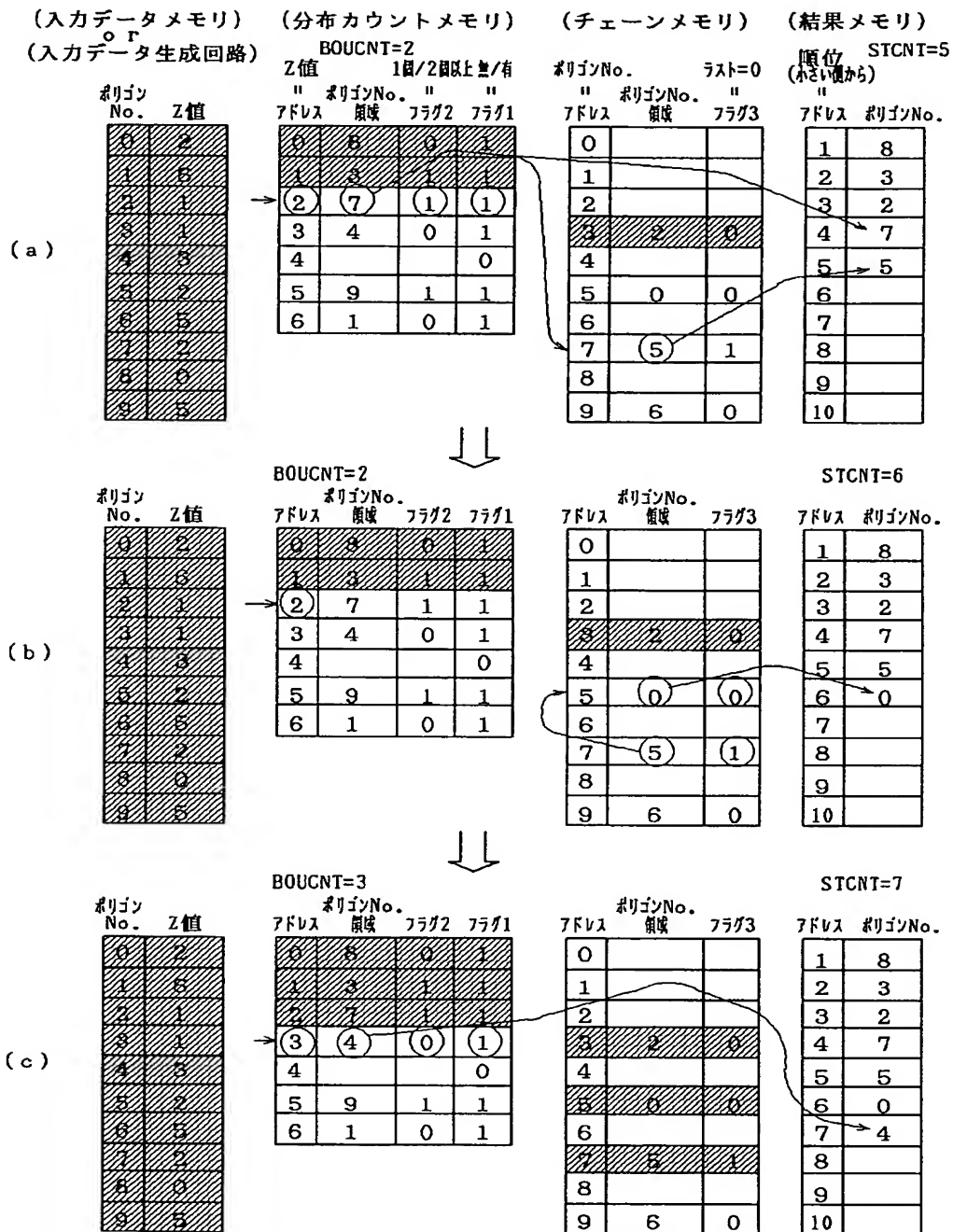
アドレス	ポリゴンNo. 領域	フラグ3
0		
1		
2		
3	2	0
4		
5	0	0
6		
7	5	1
8		
9	6	0

アドレス	ポリゴンNo.
1	
2	
3	
4	
5	
6	
7	
8	
9	
10	

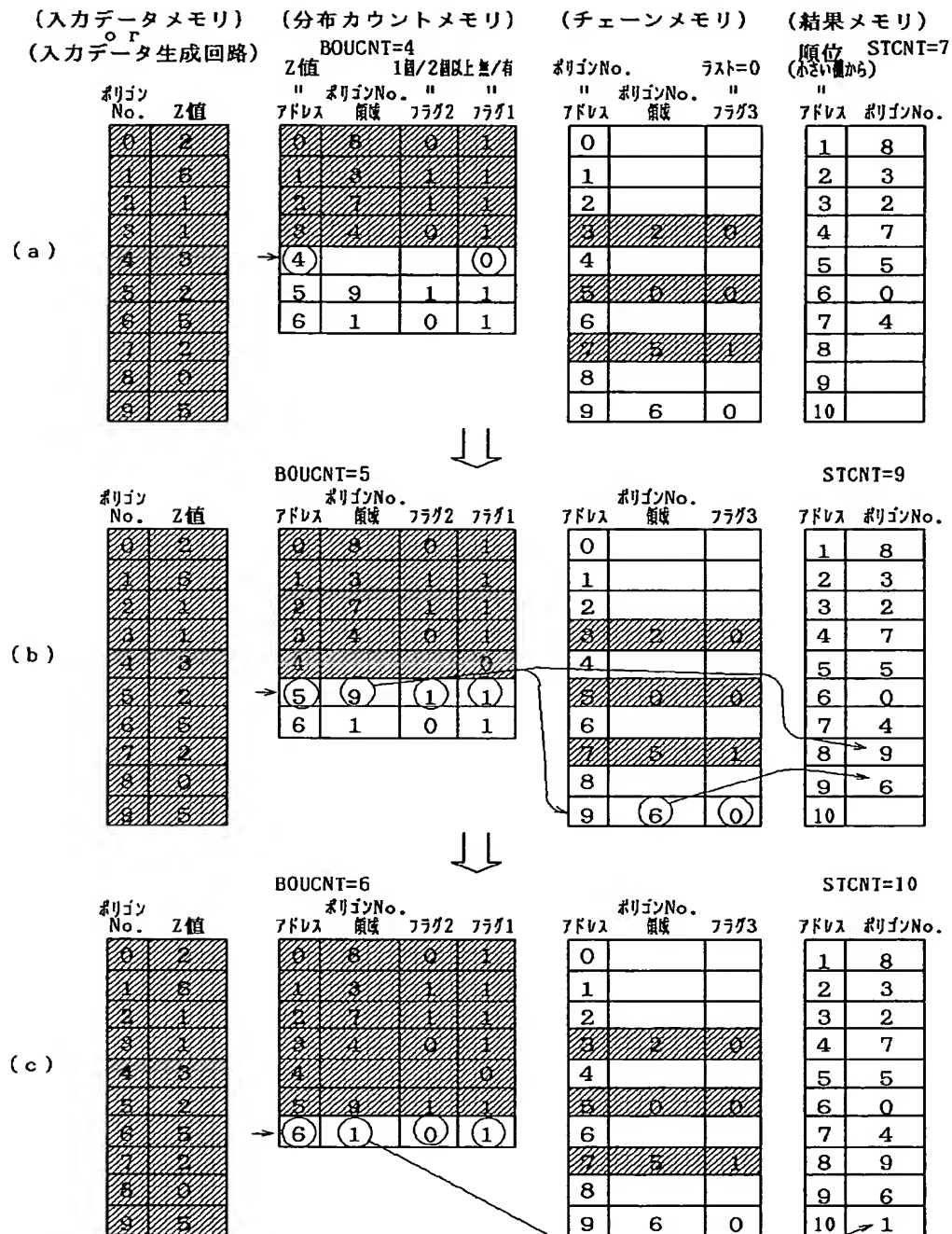
【図11】



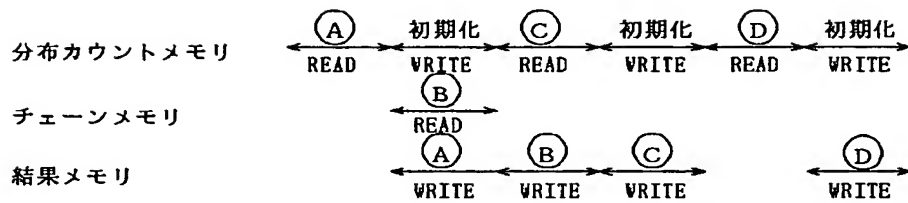
【図12】



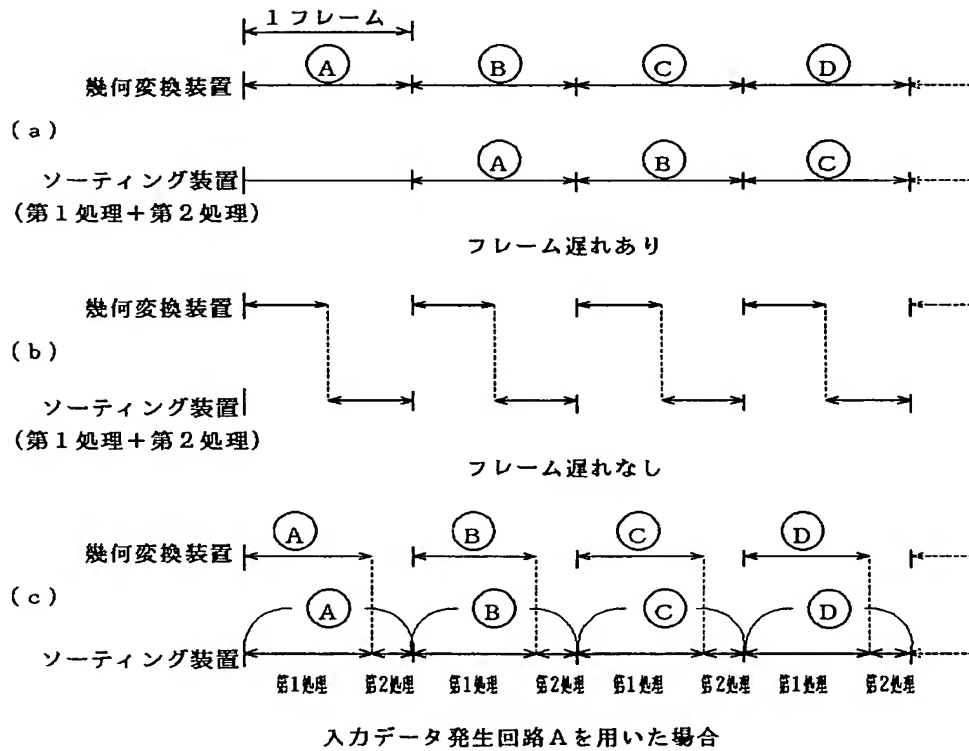
【図13】



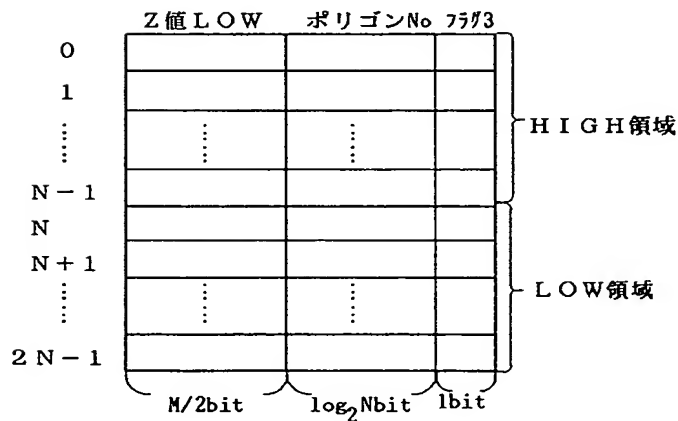
【図17】



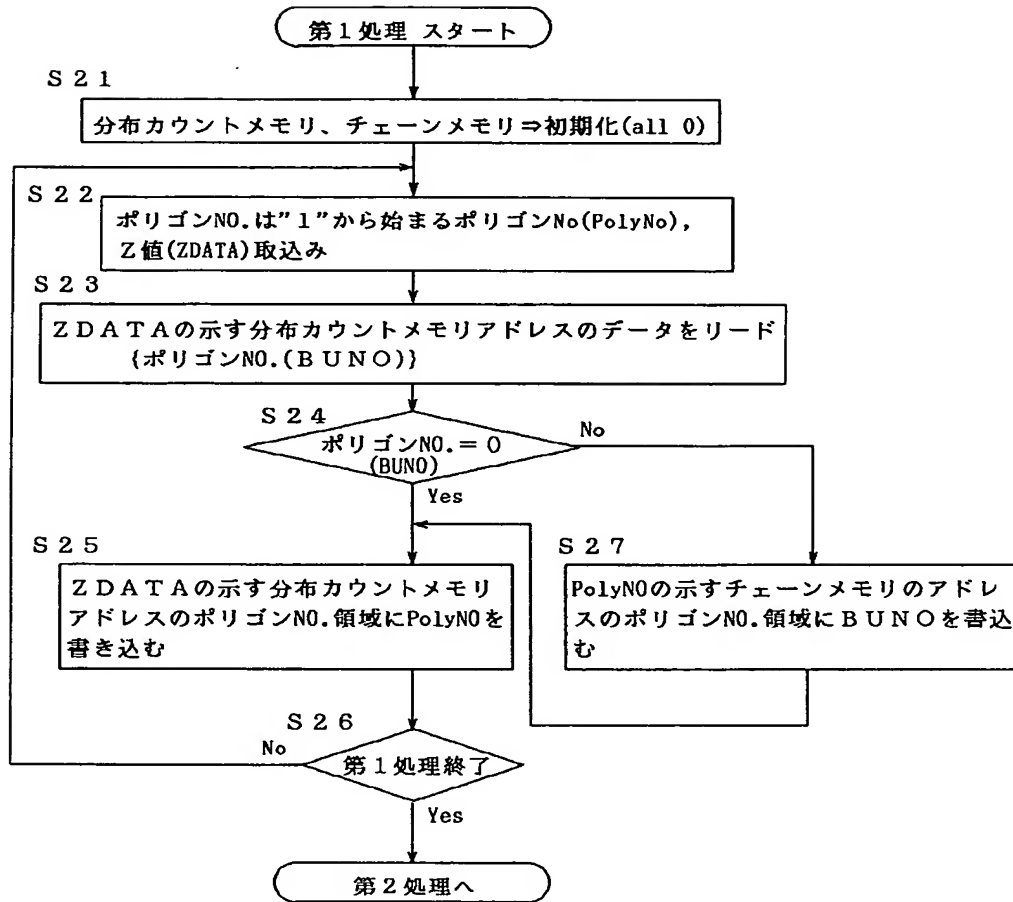
【図18】



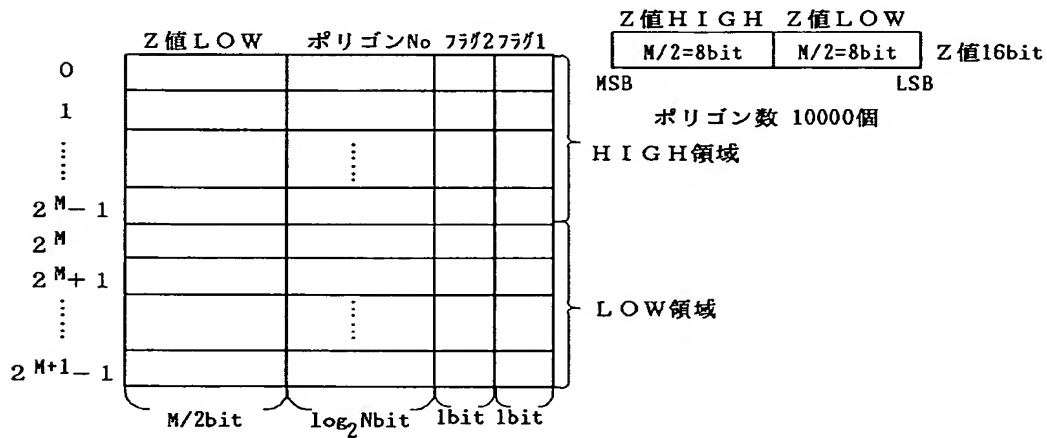
【図26】



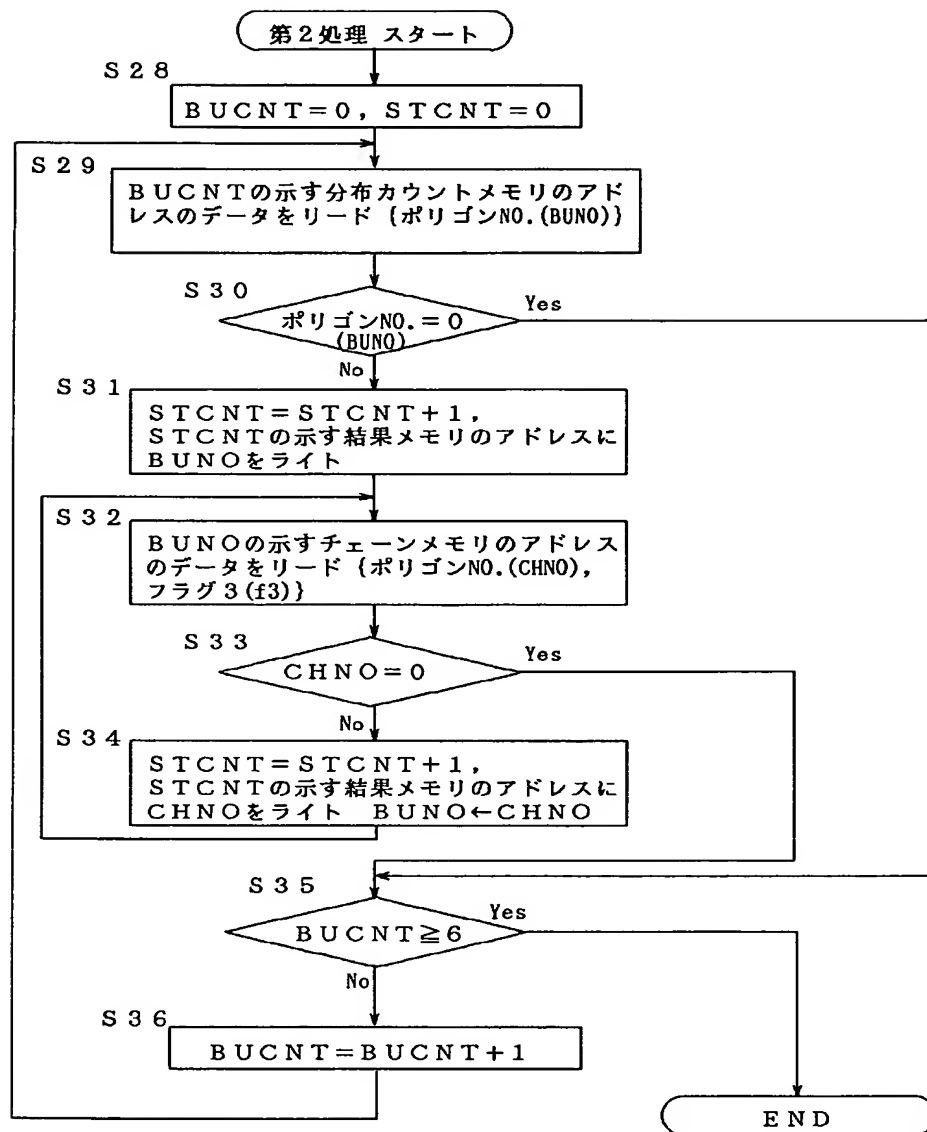
【図19】



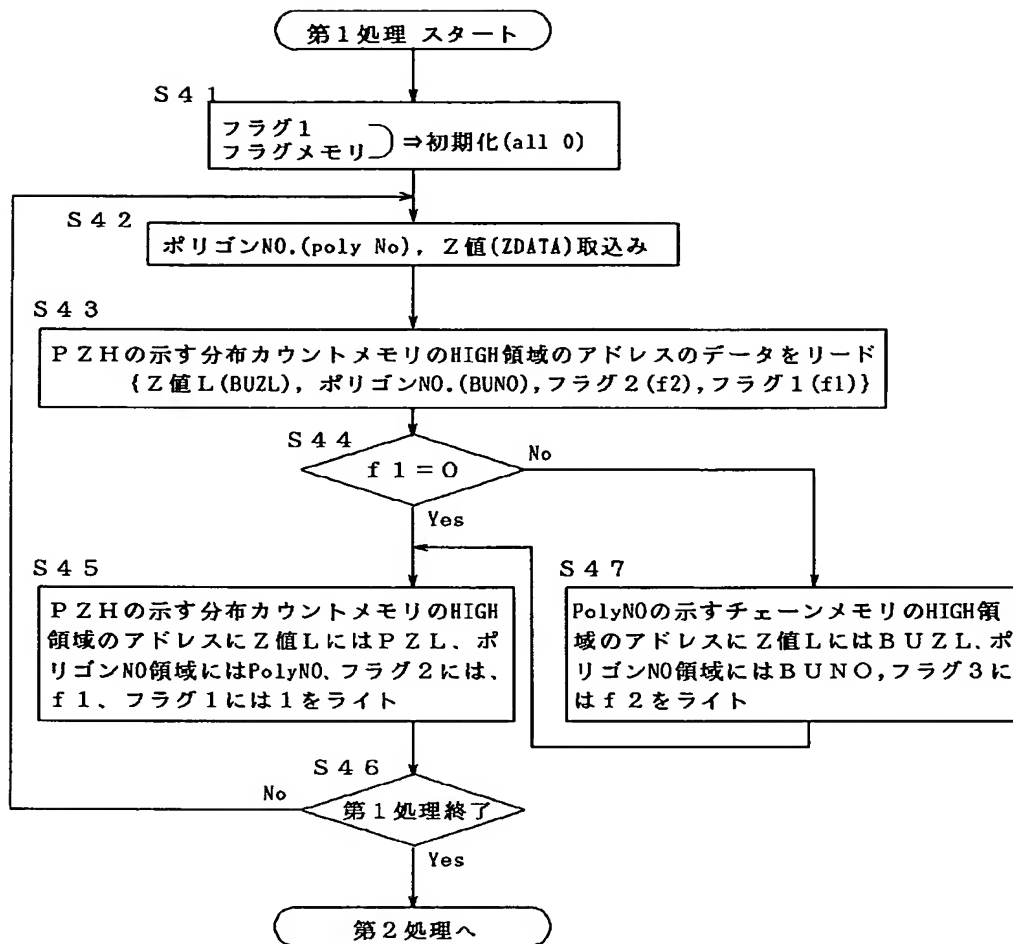
【図25】



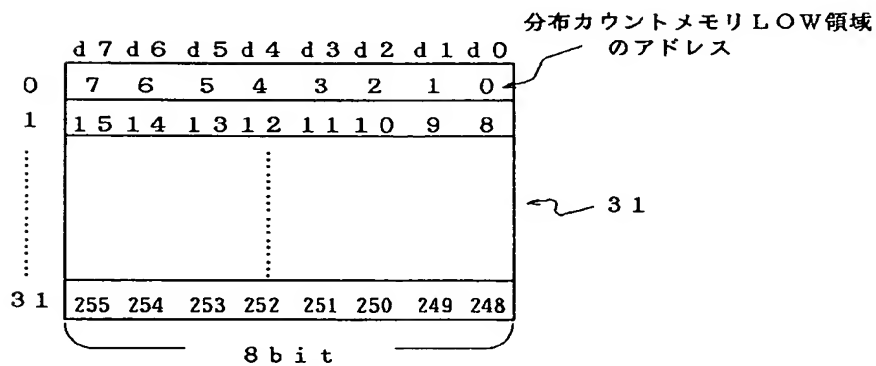
【図20】



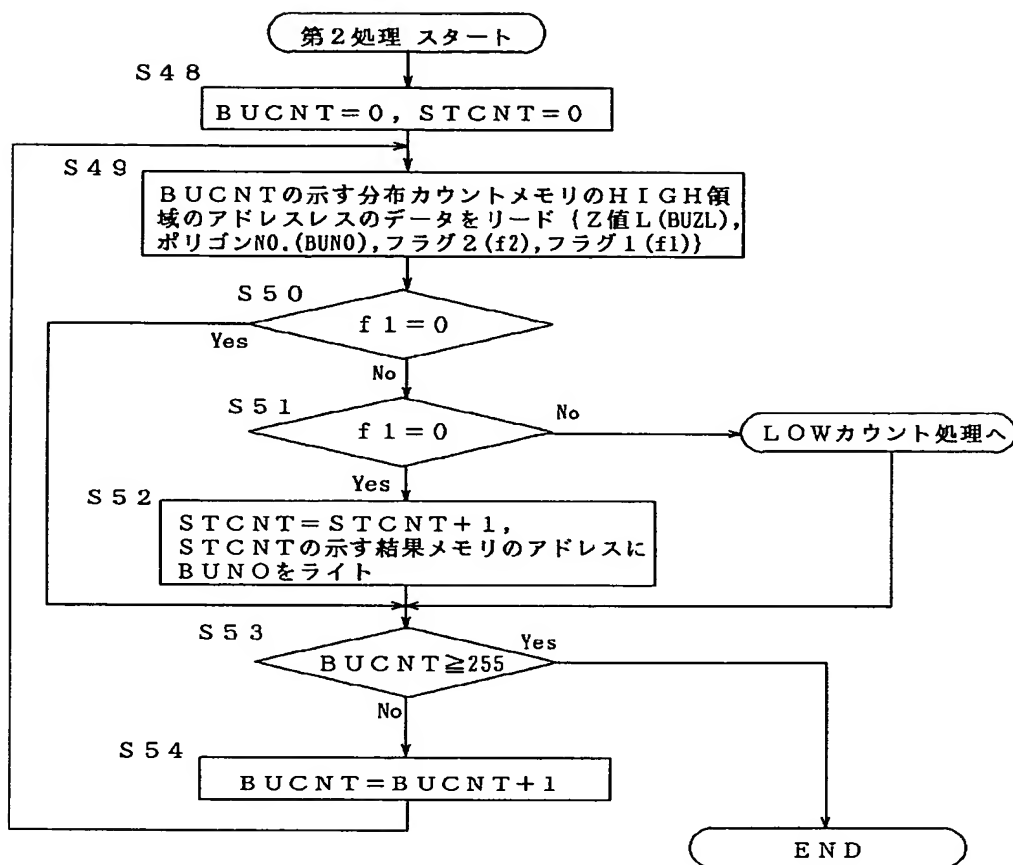
【図21】



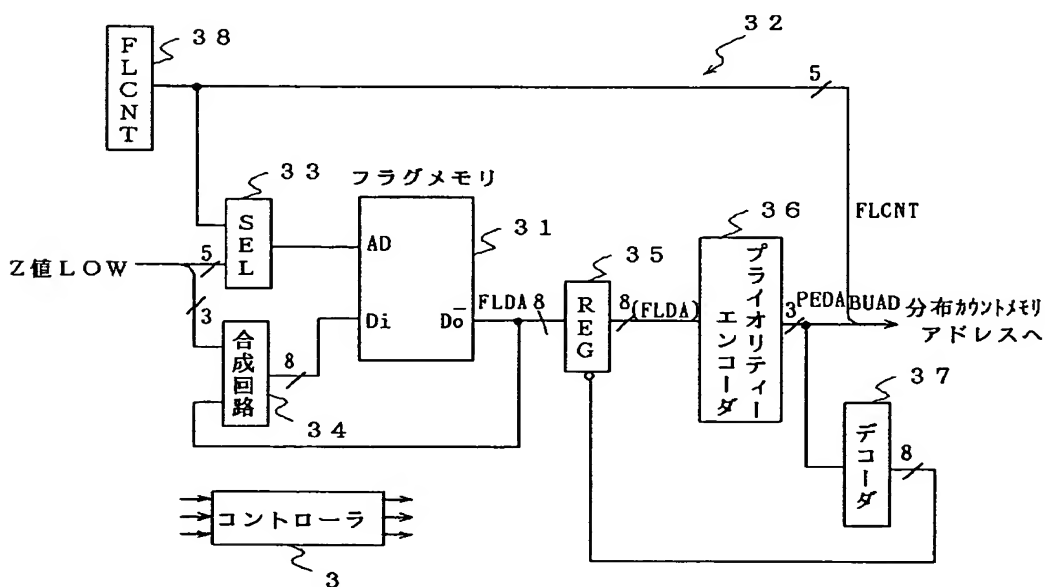
【図27】



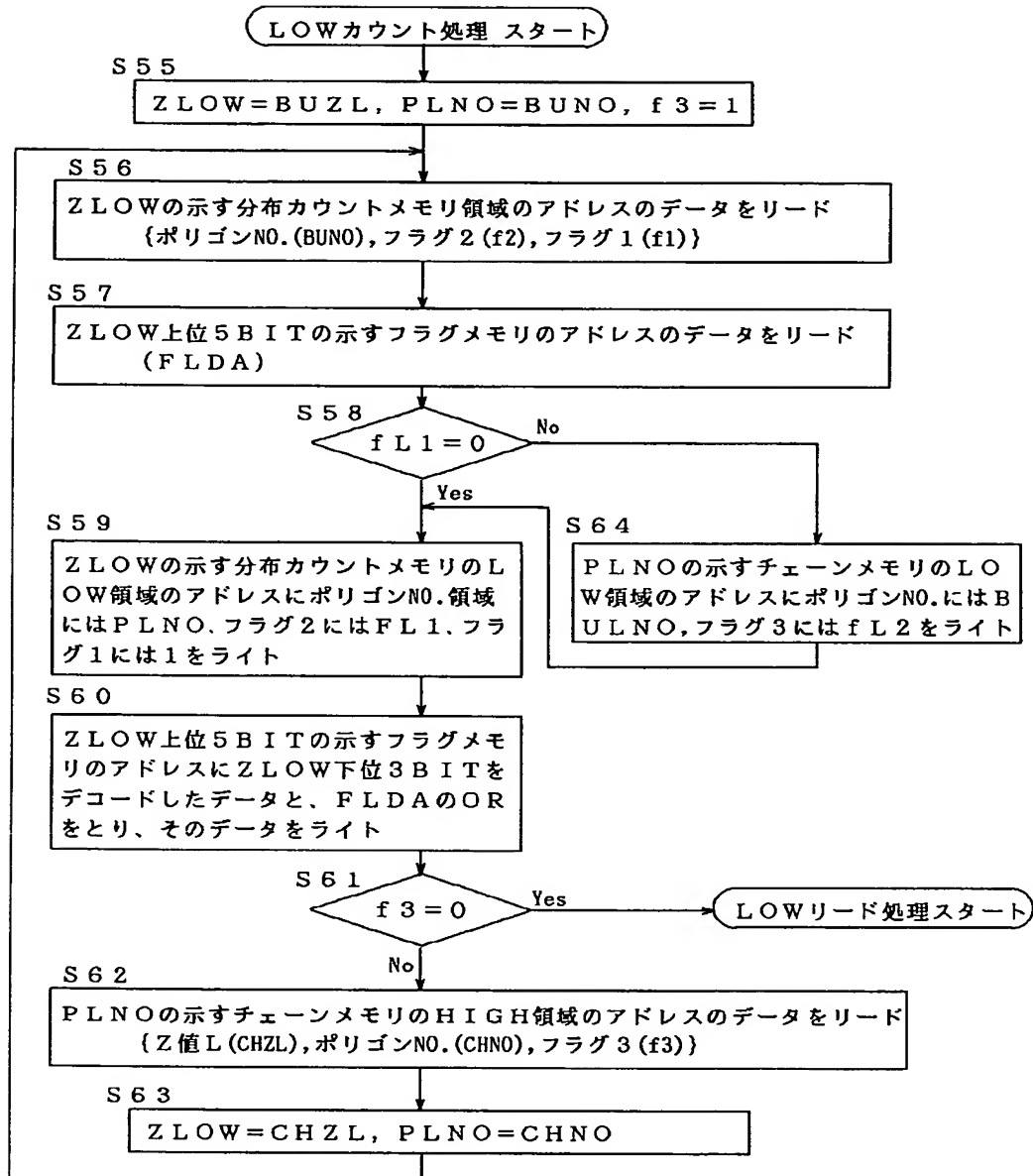
【図22】



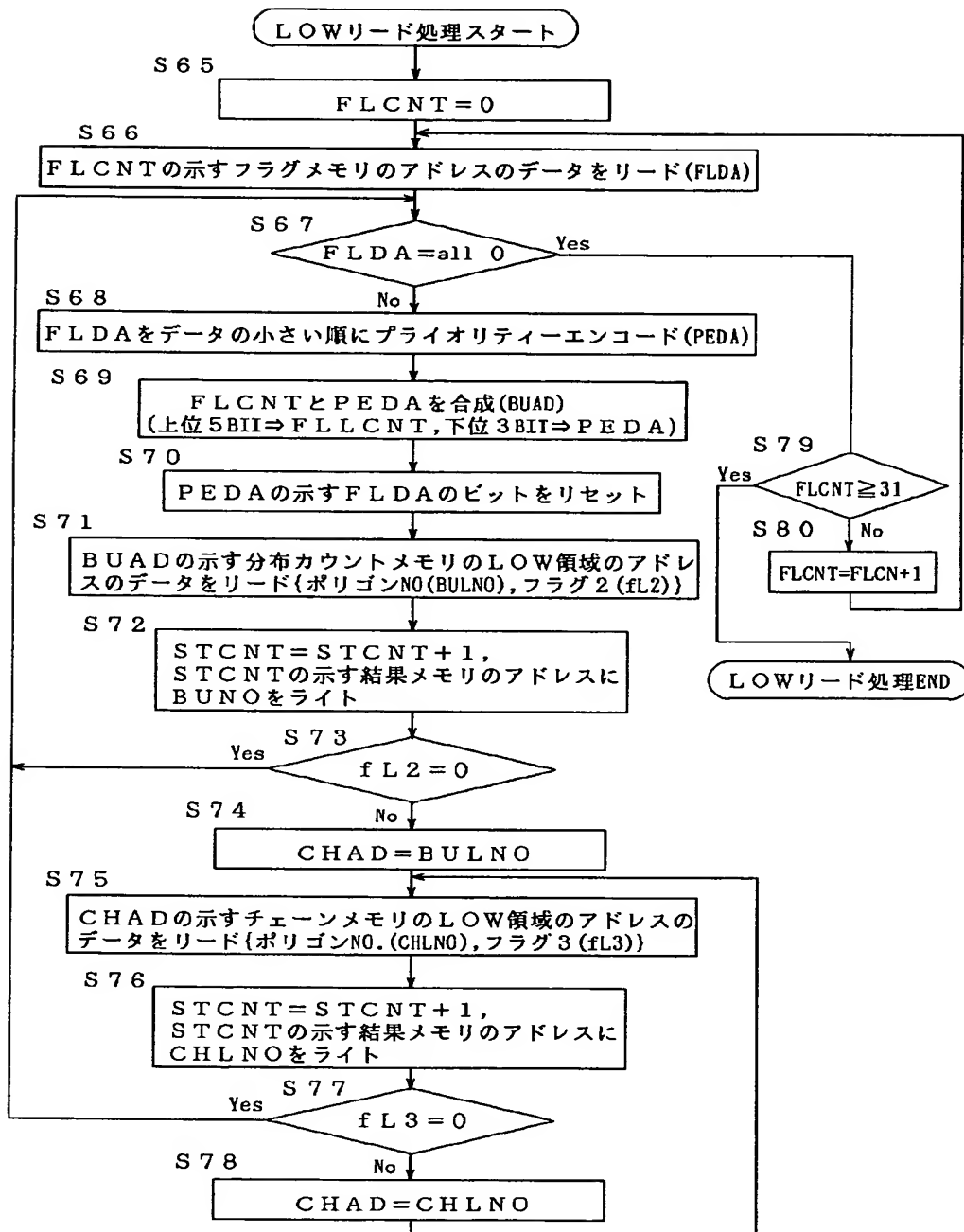
【図28】



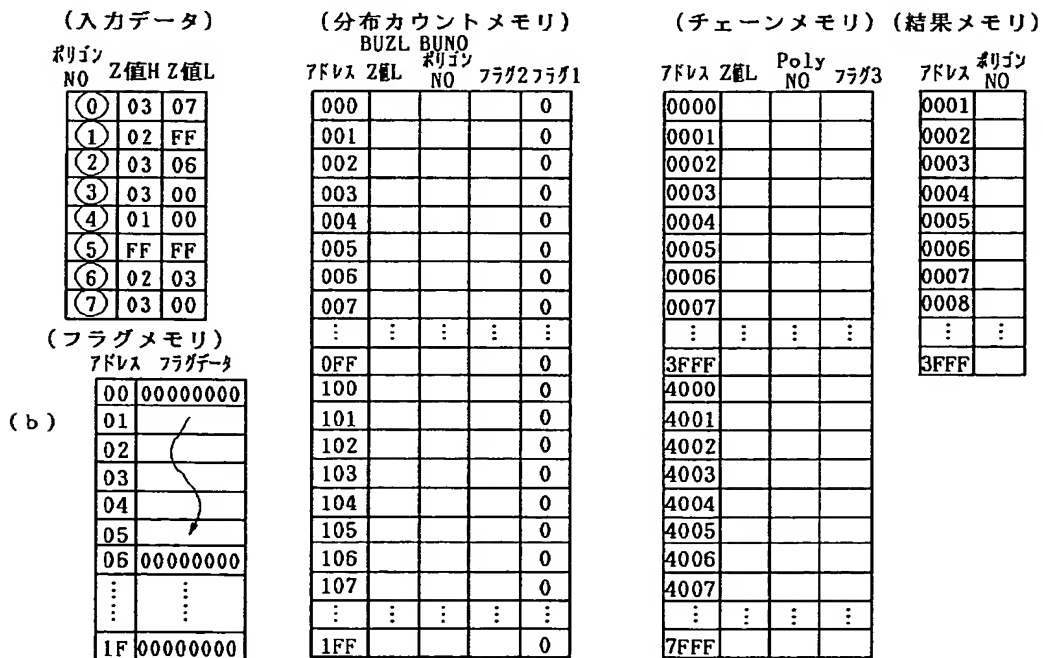
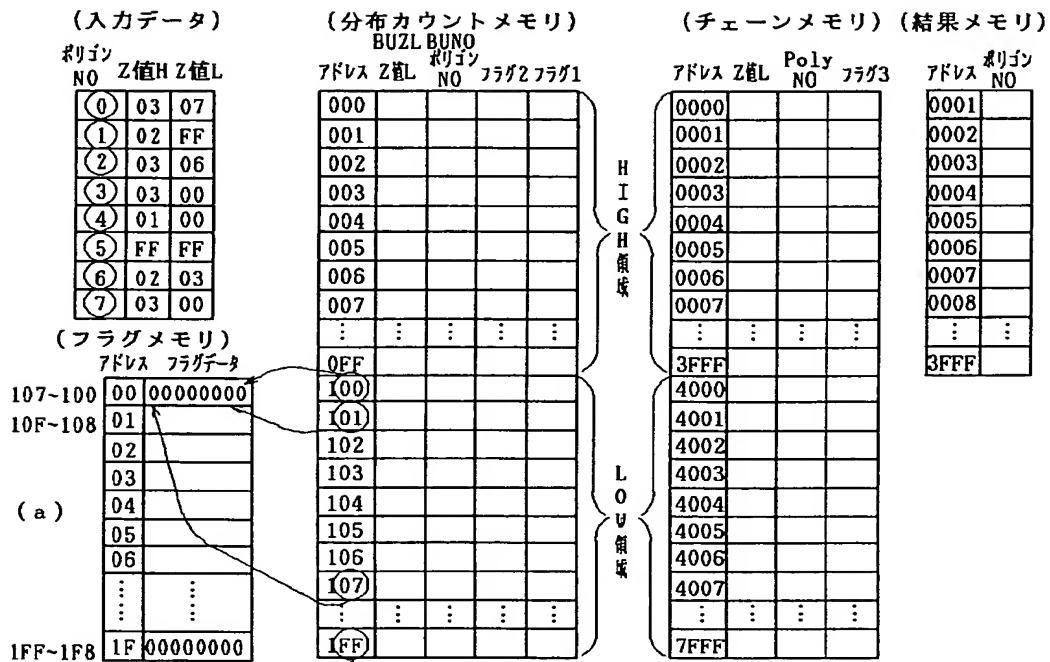
【図23】



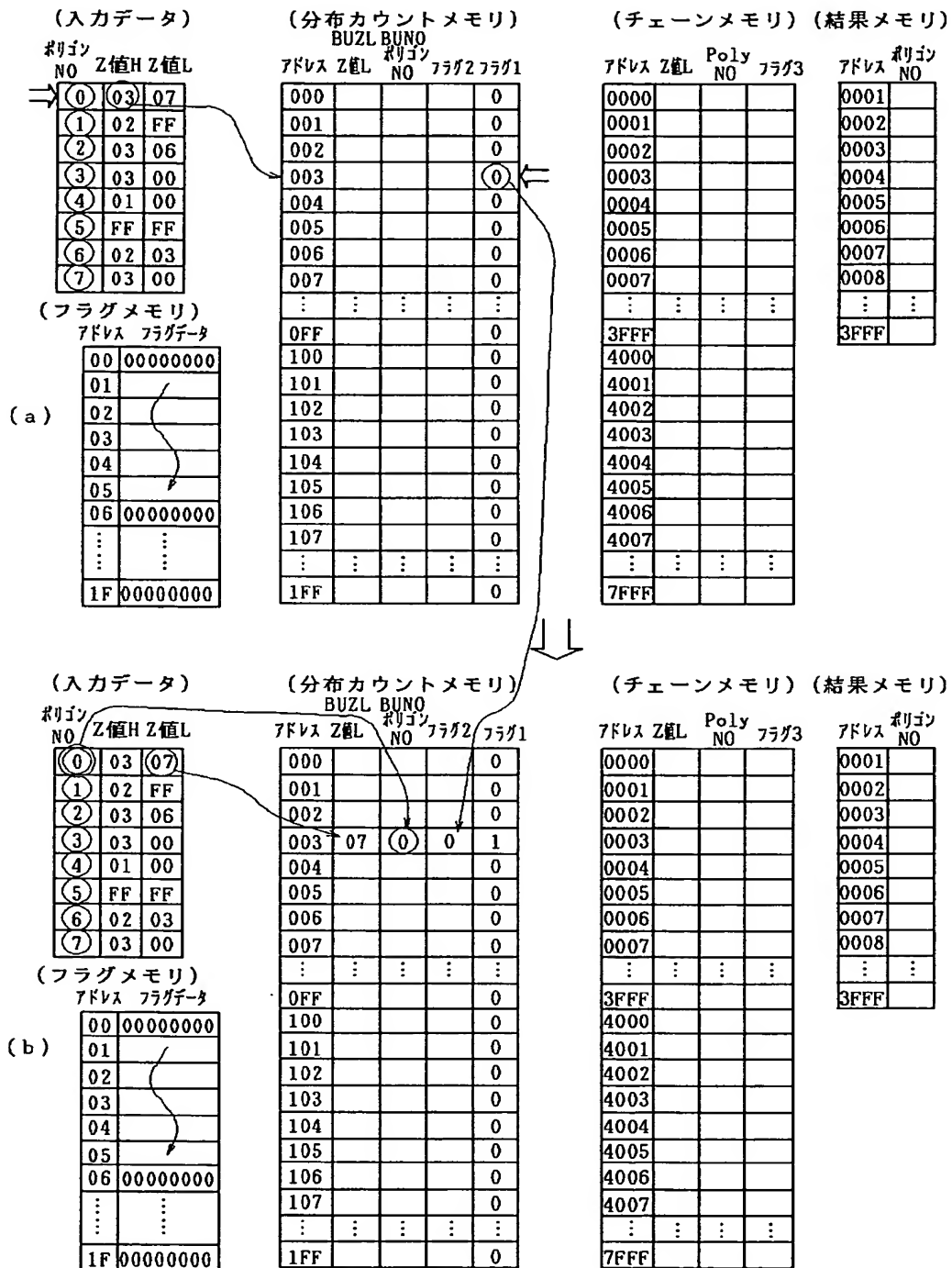
【図24】



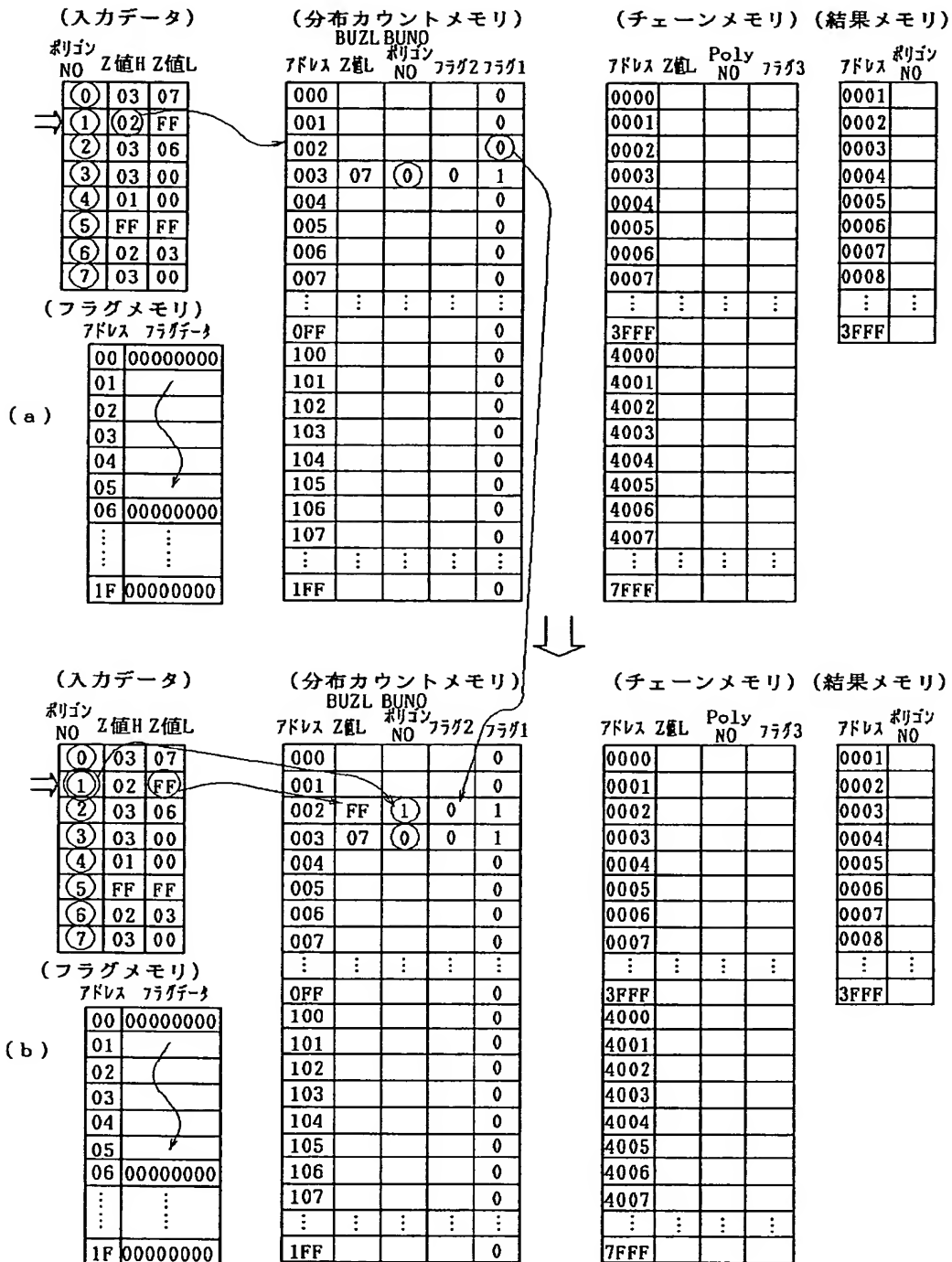
【図29】



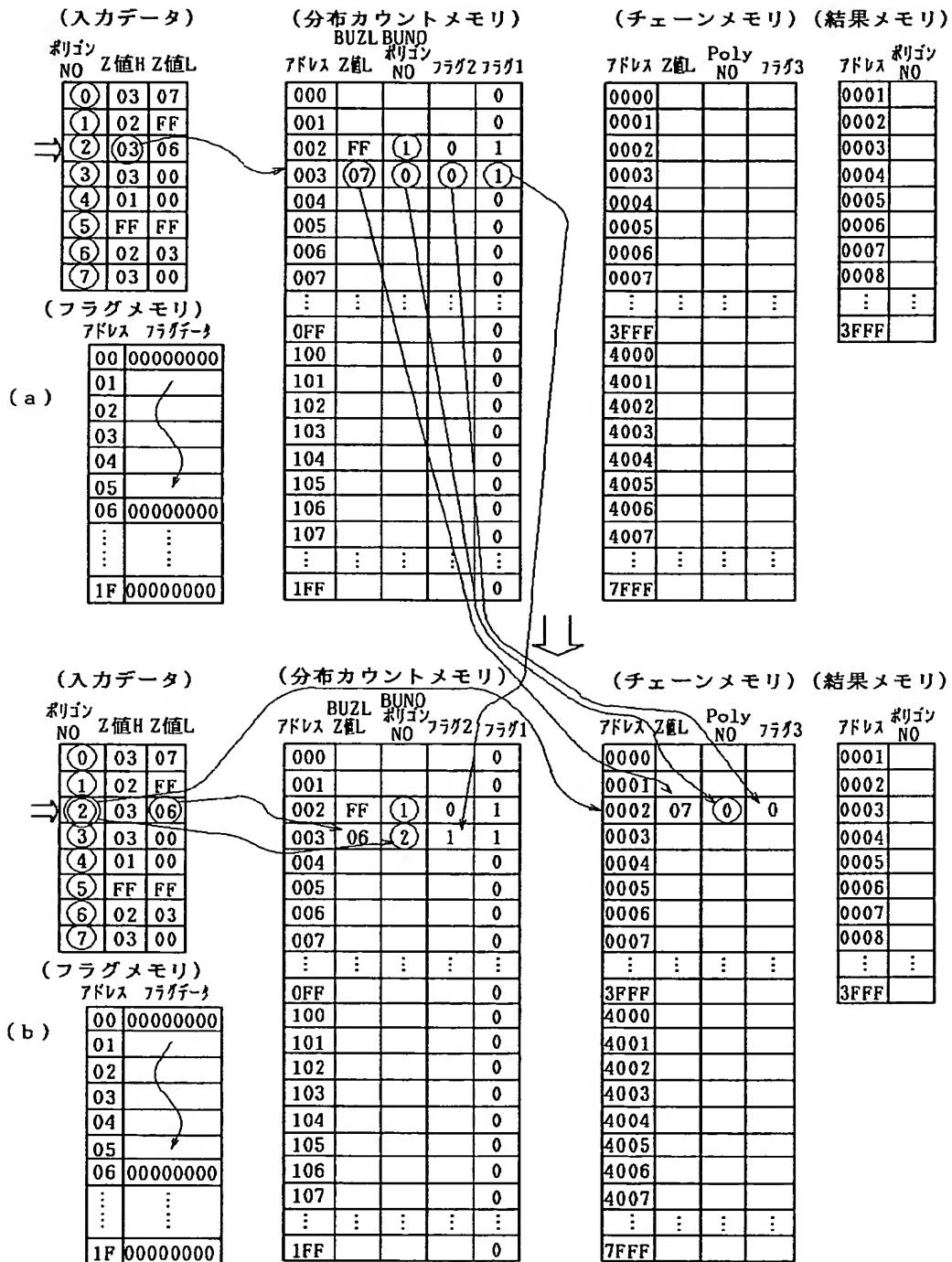
【図30】



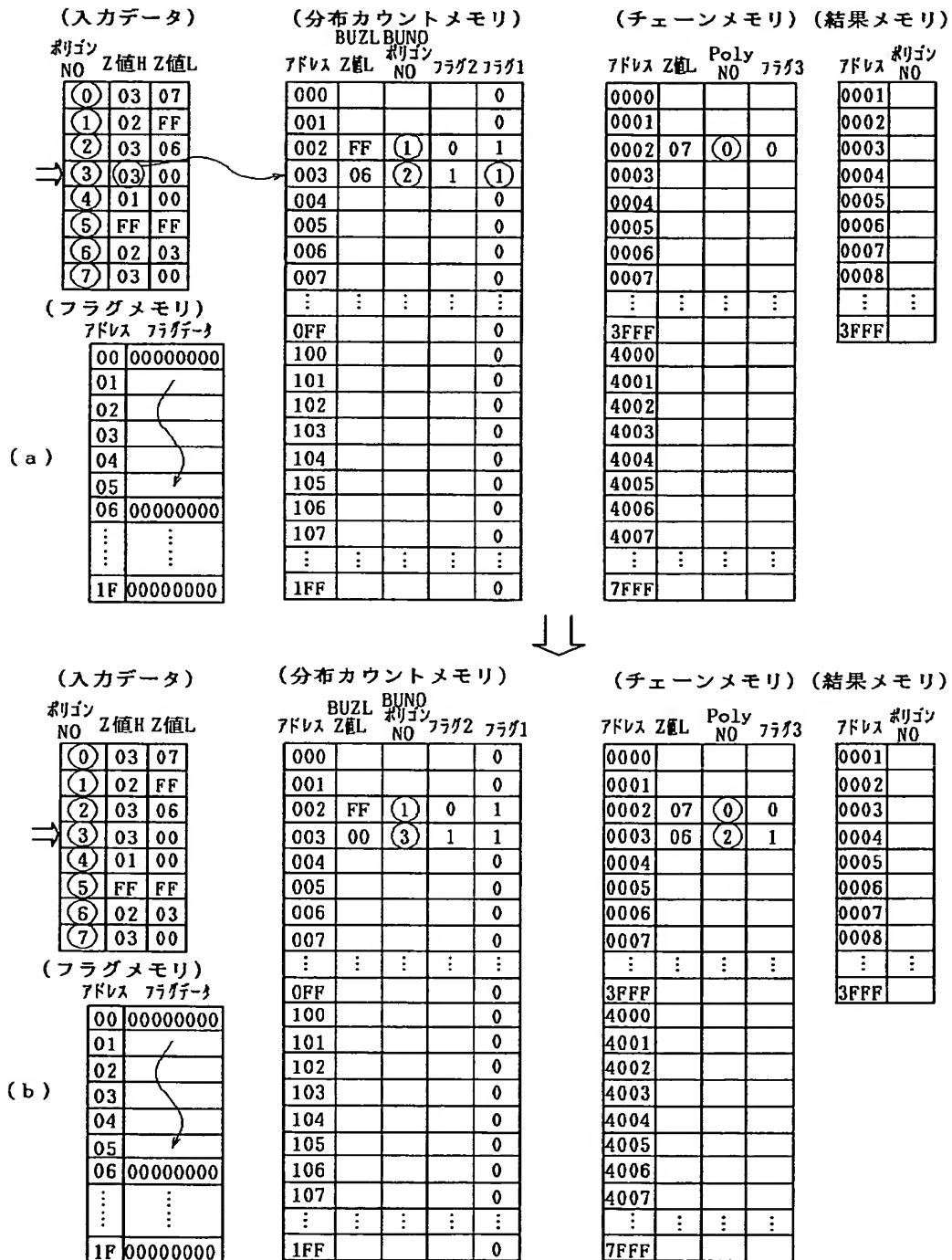
【図31】



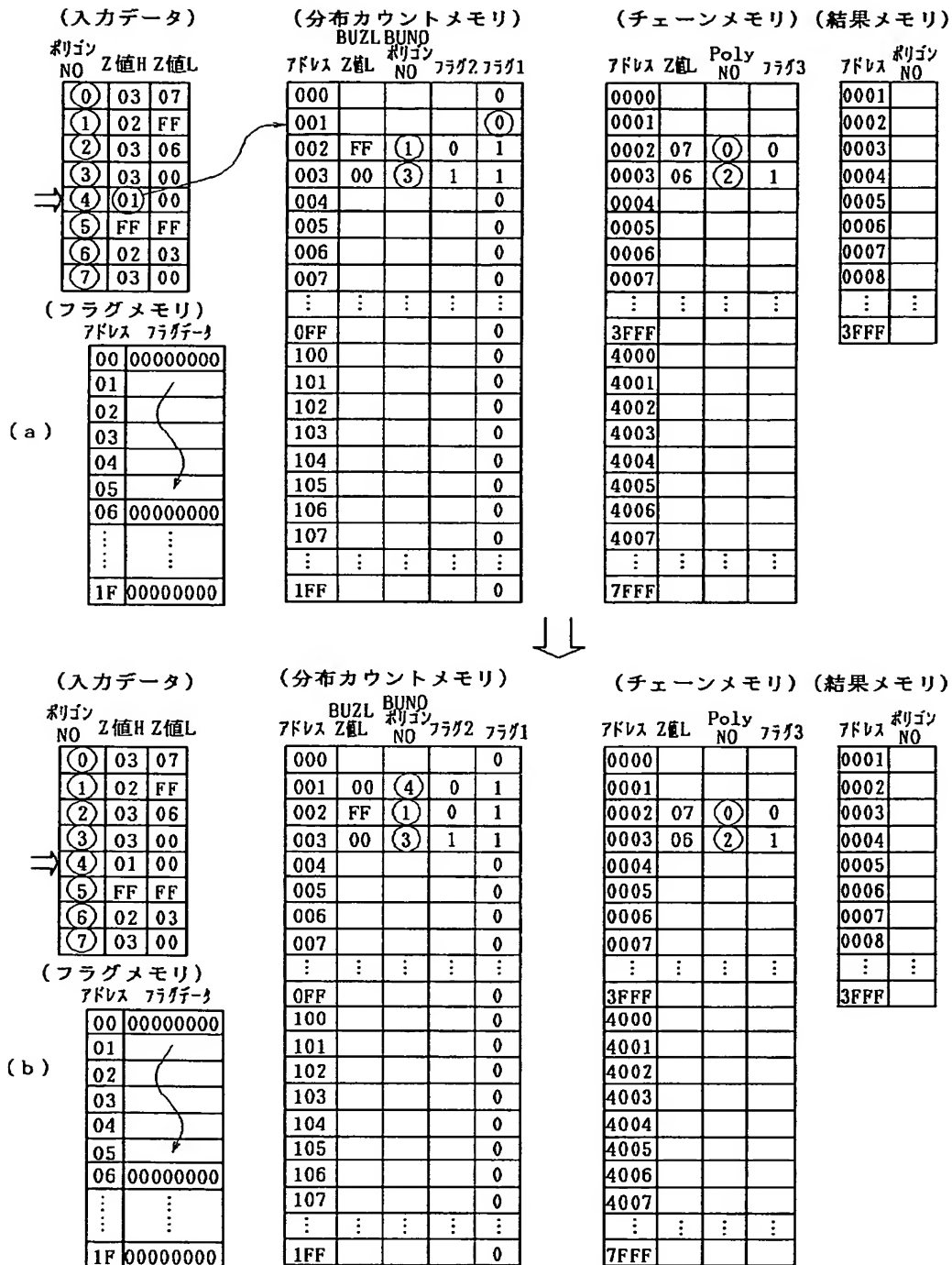
【図32】



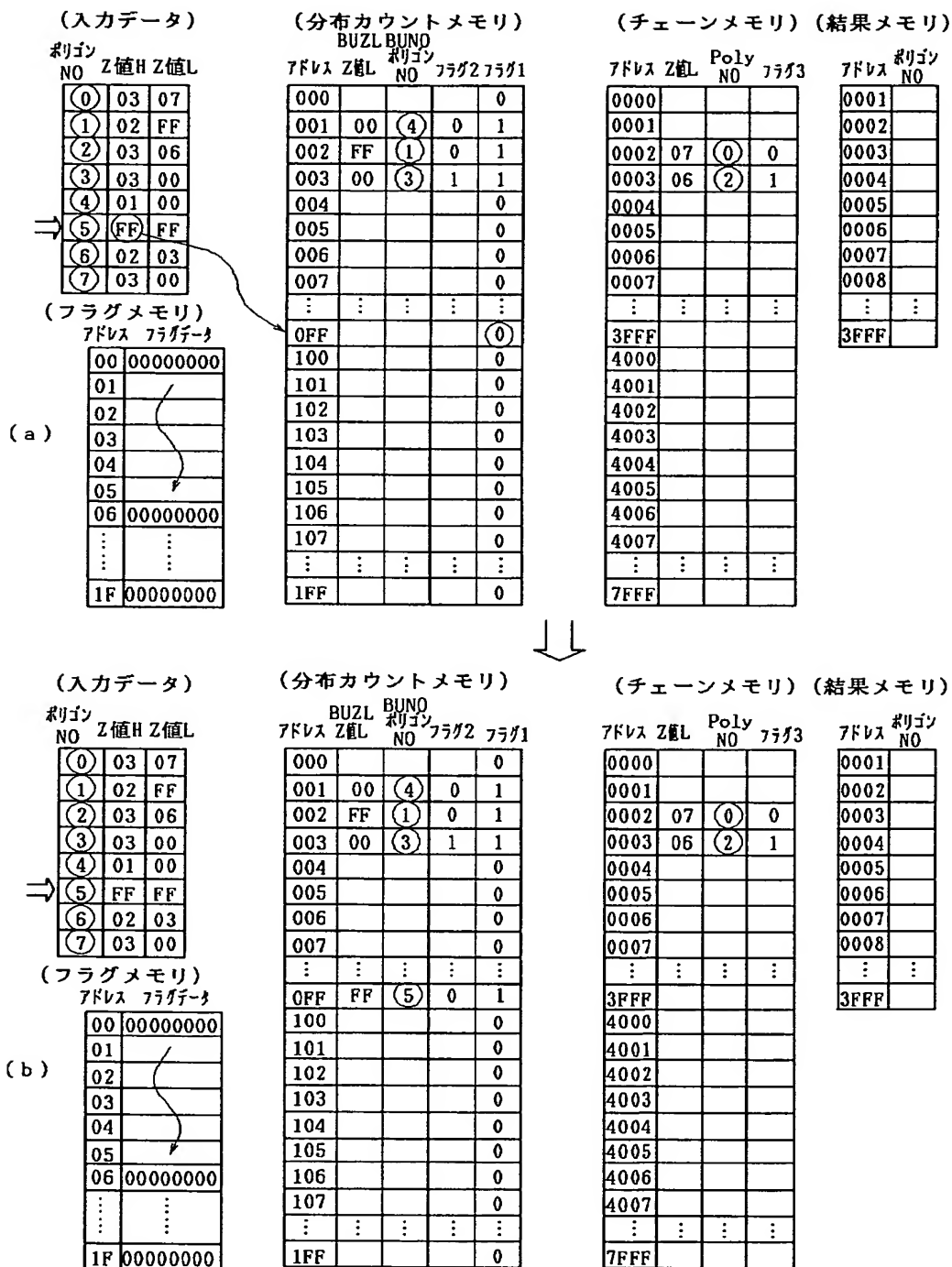
【図33】



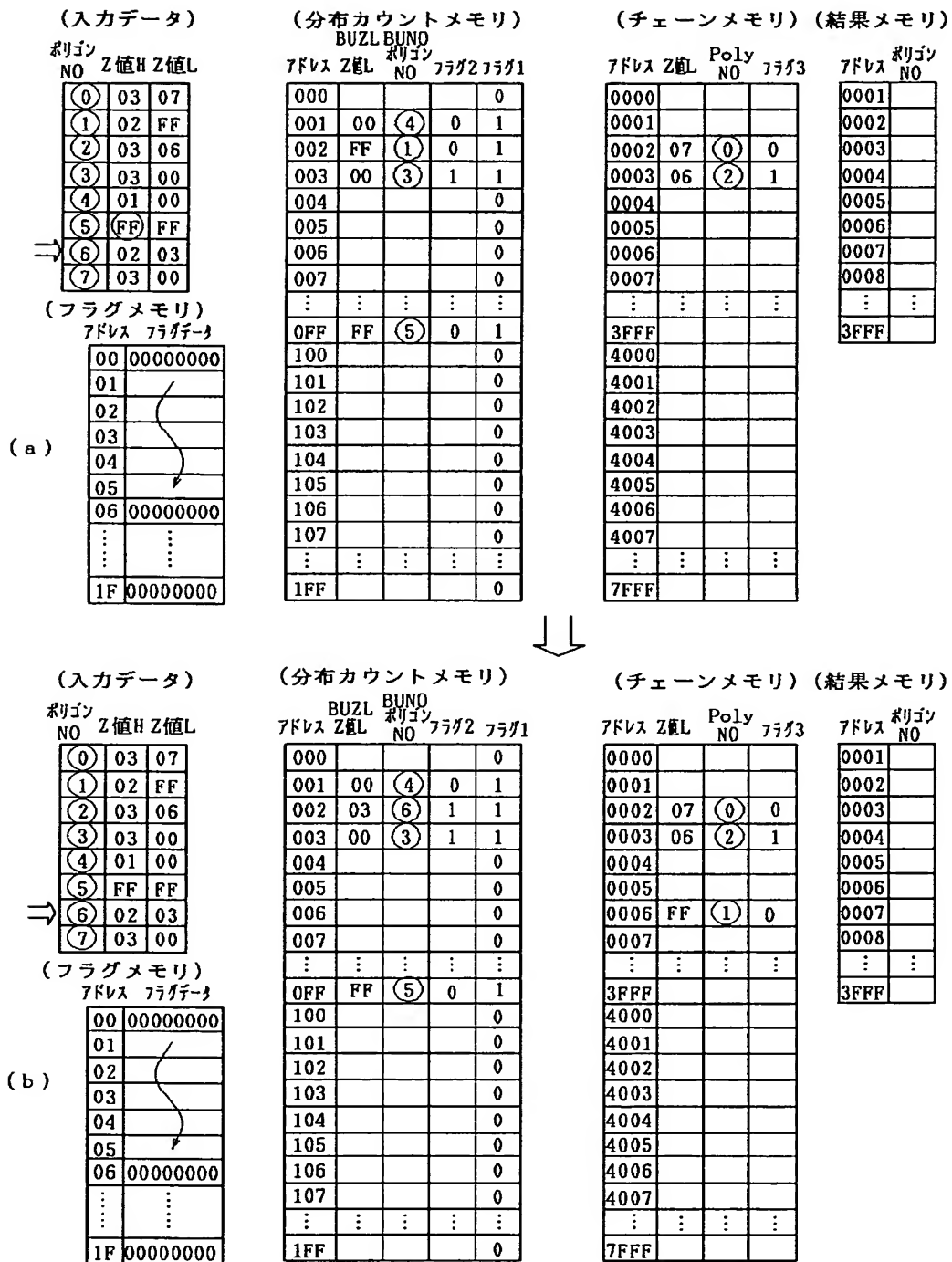
【図34】



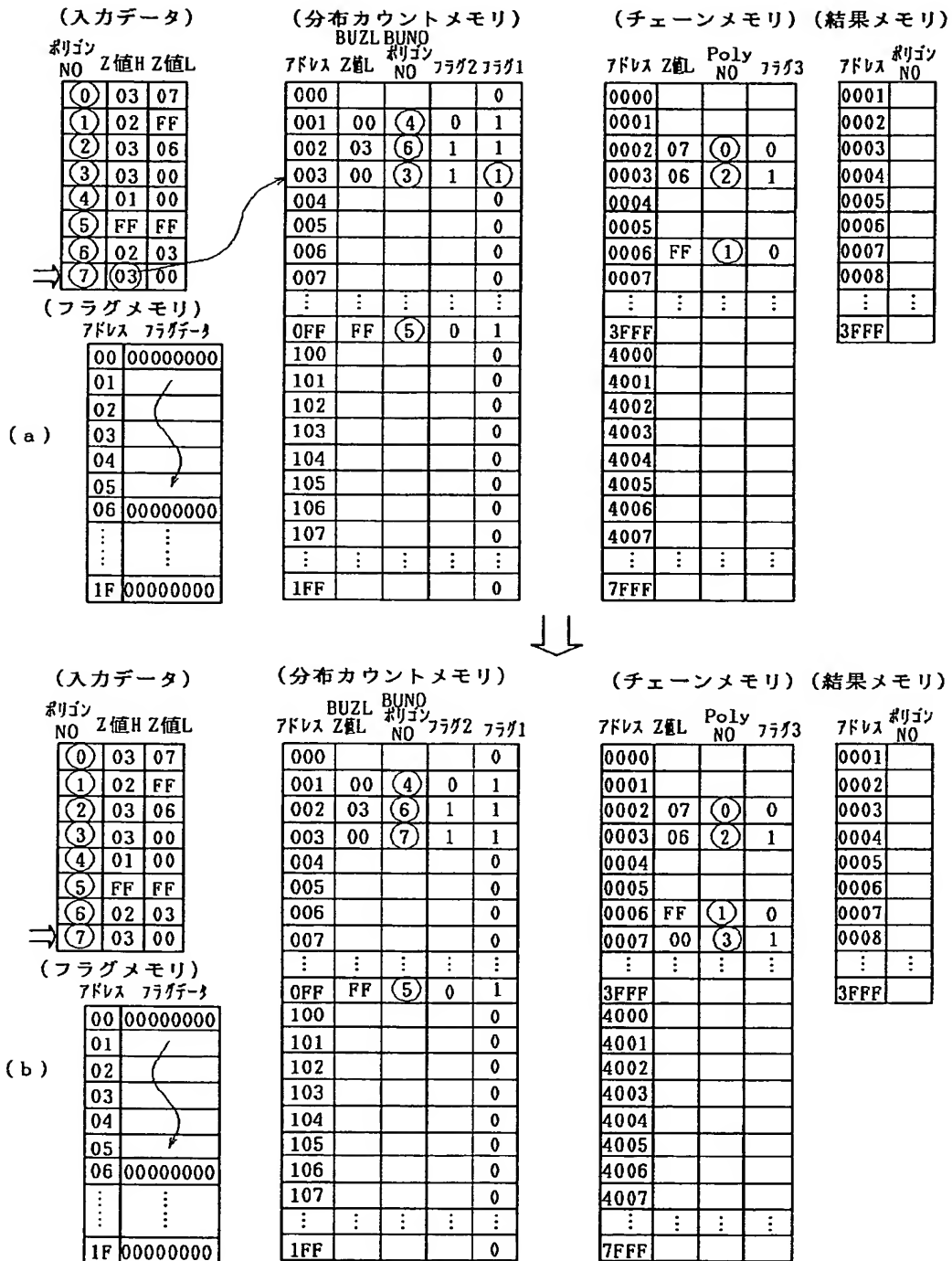
【図35】



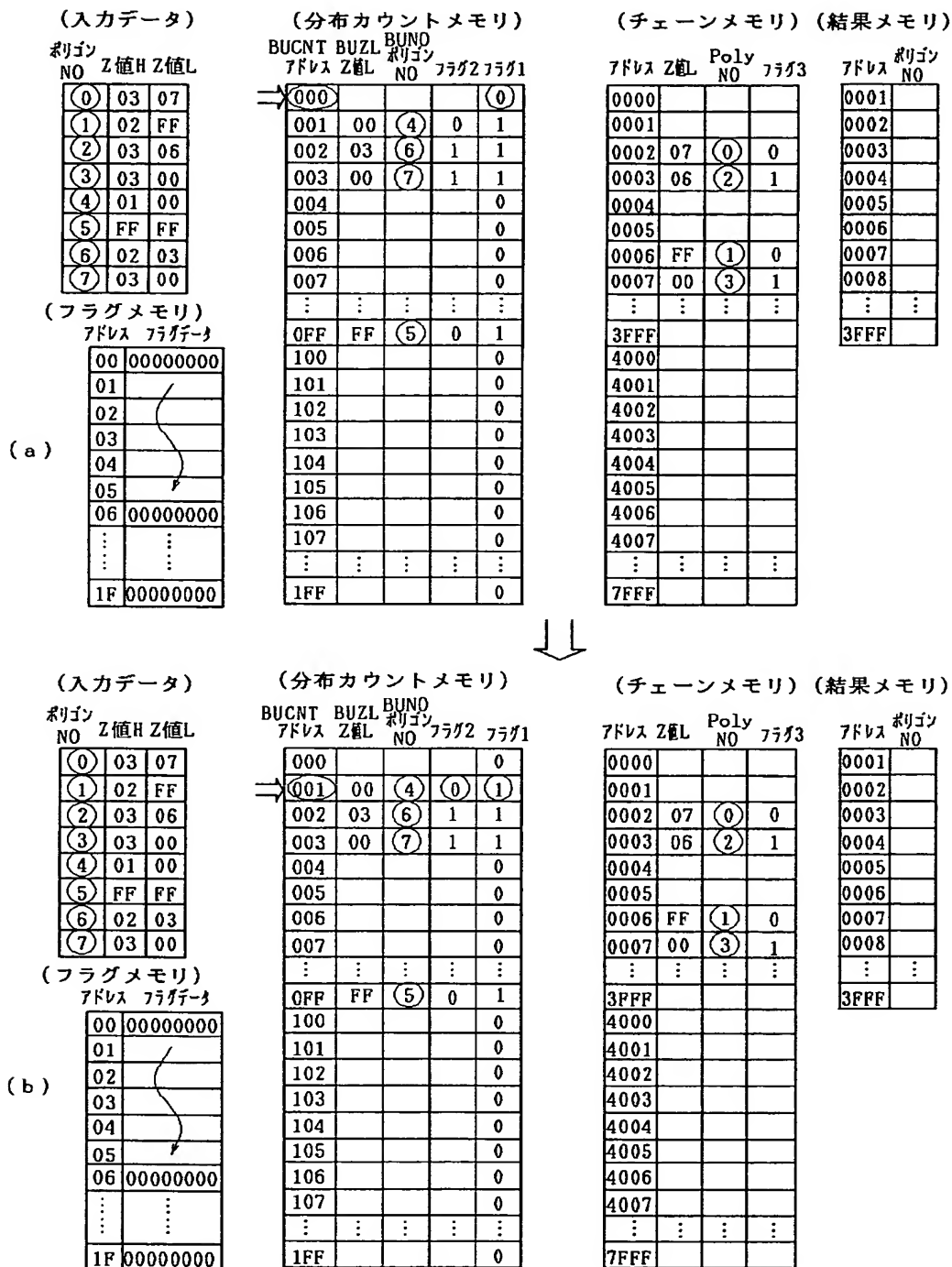
【図36】



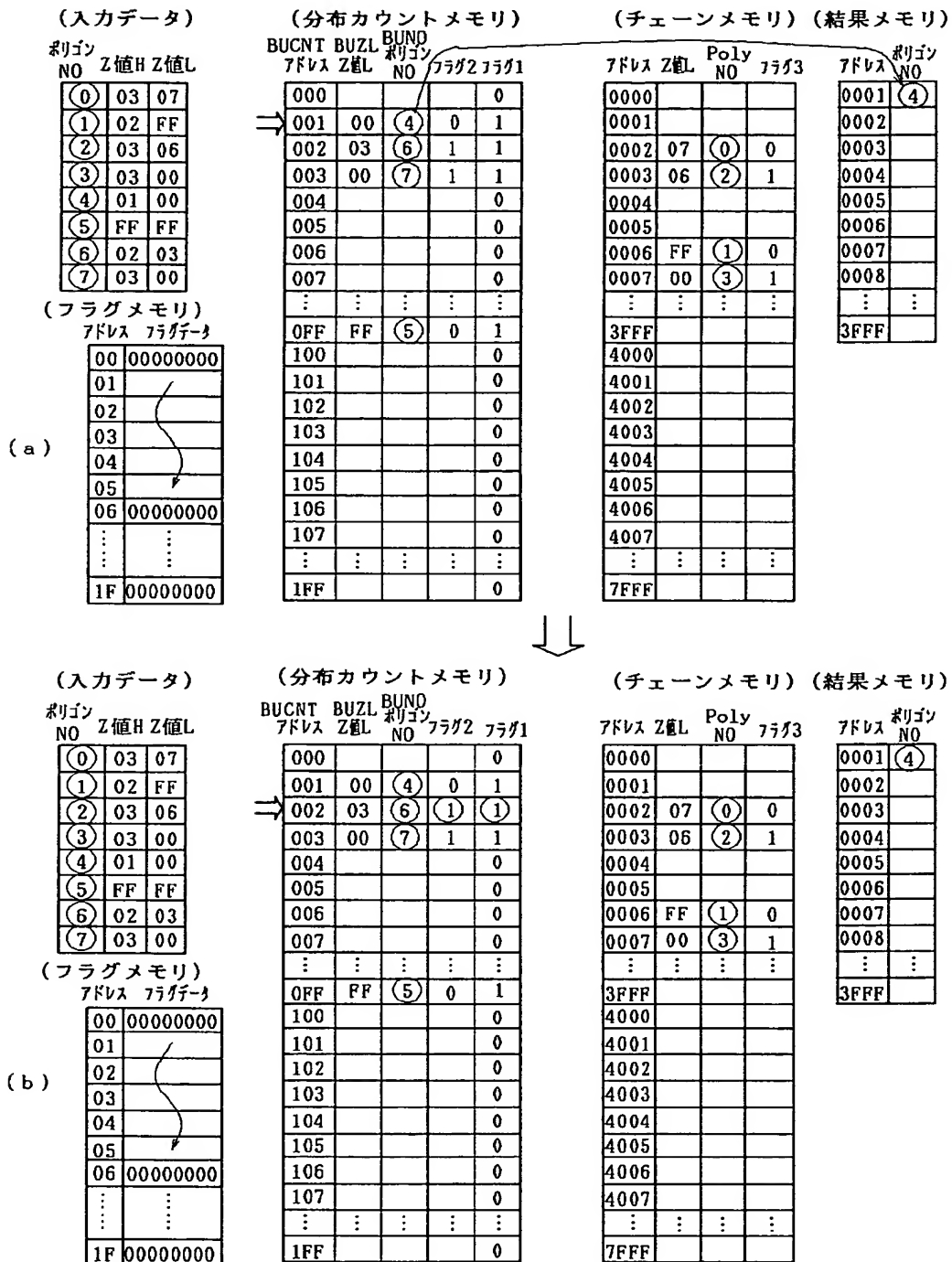
【図37】



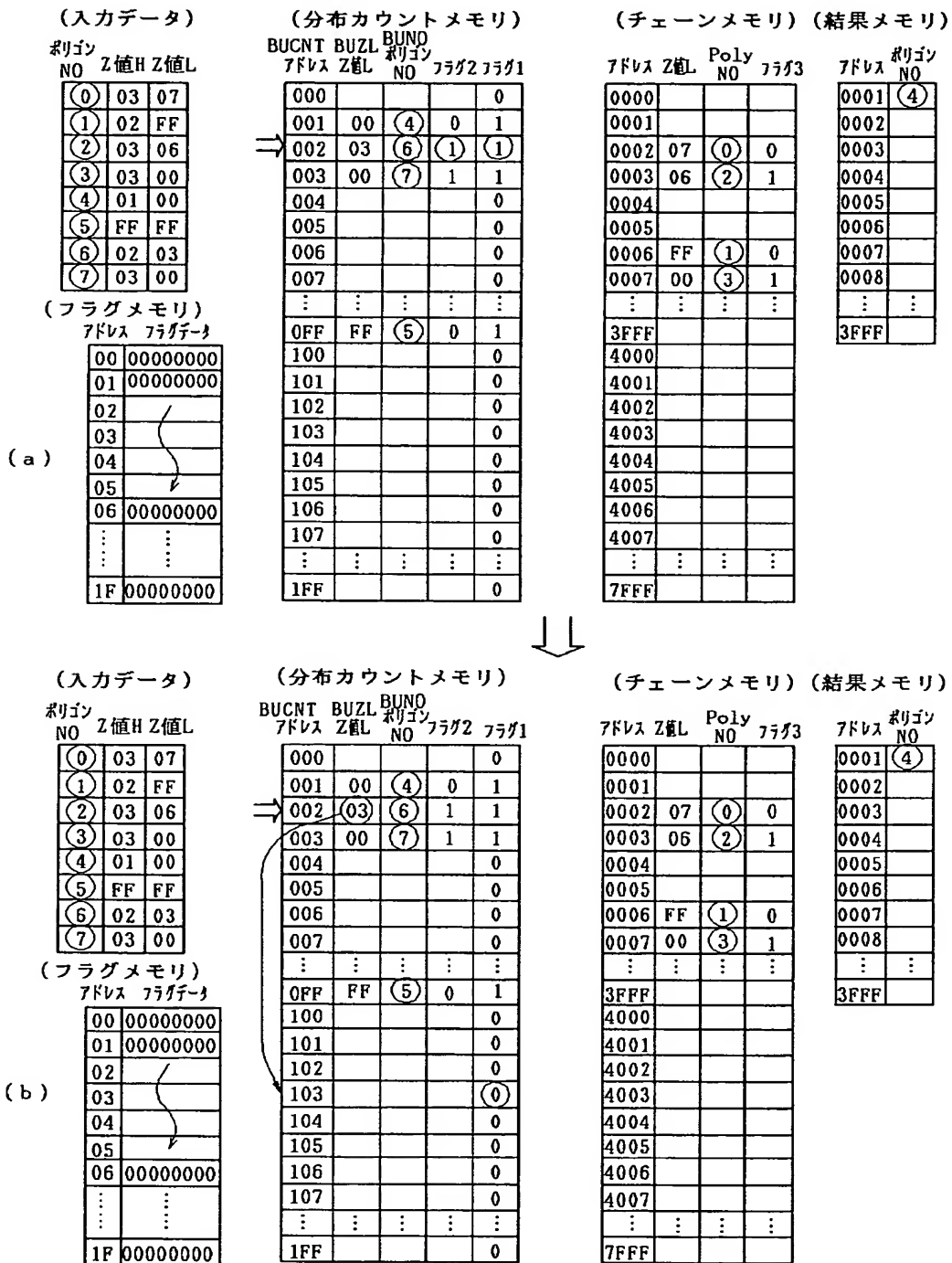
【図38】



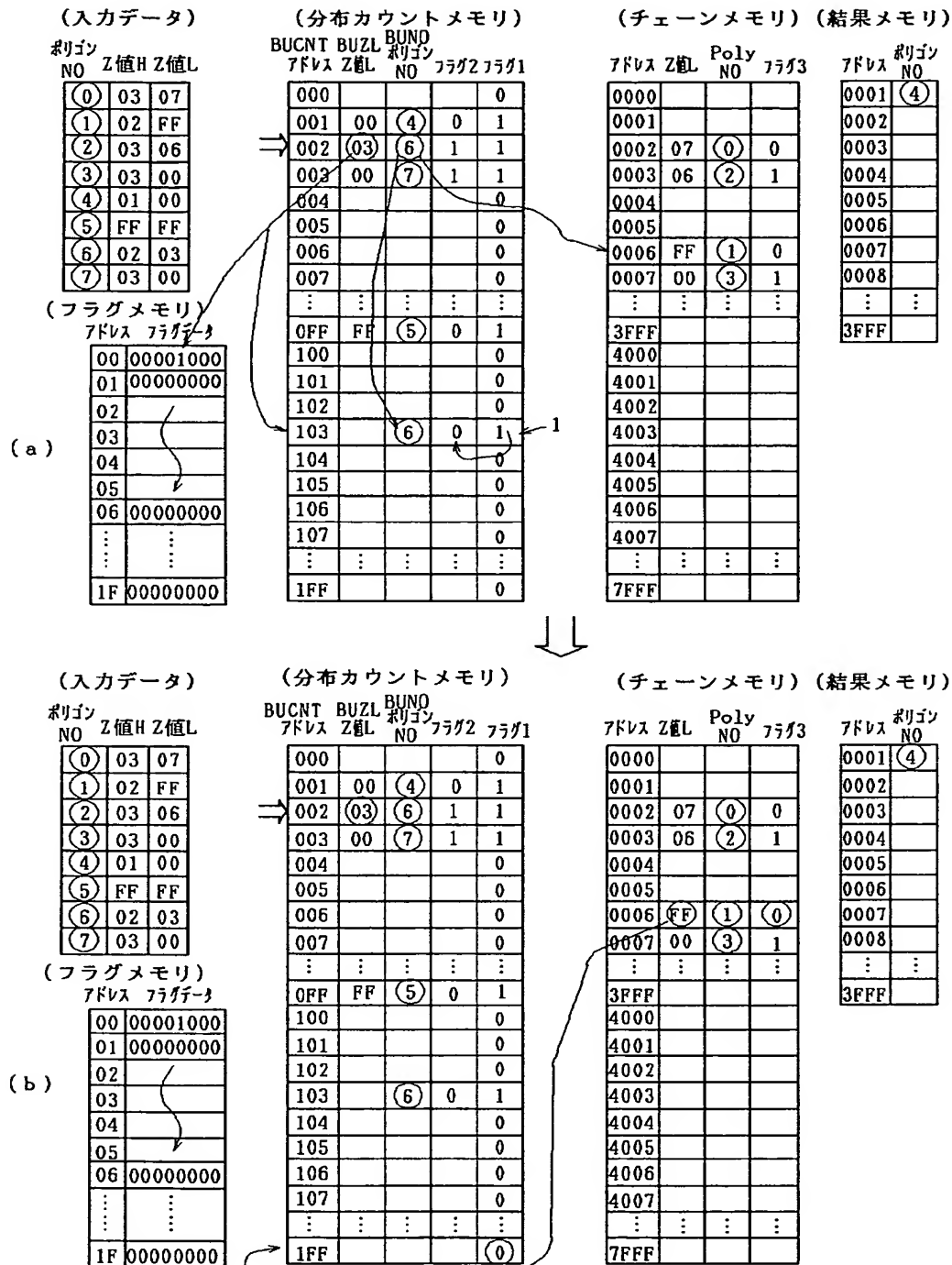
【図39】



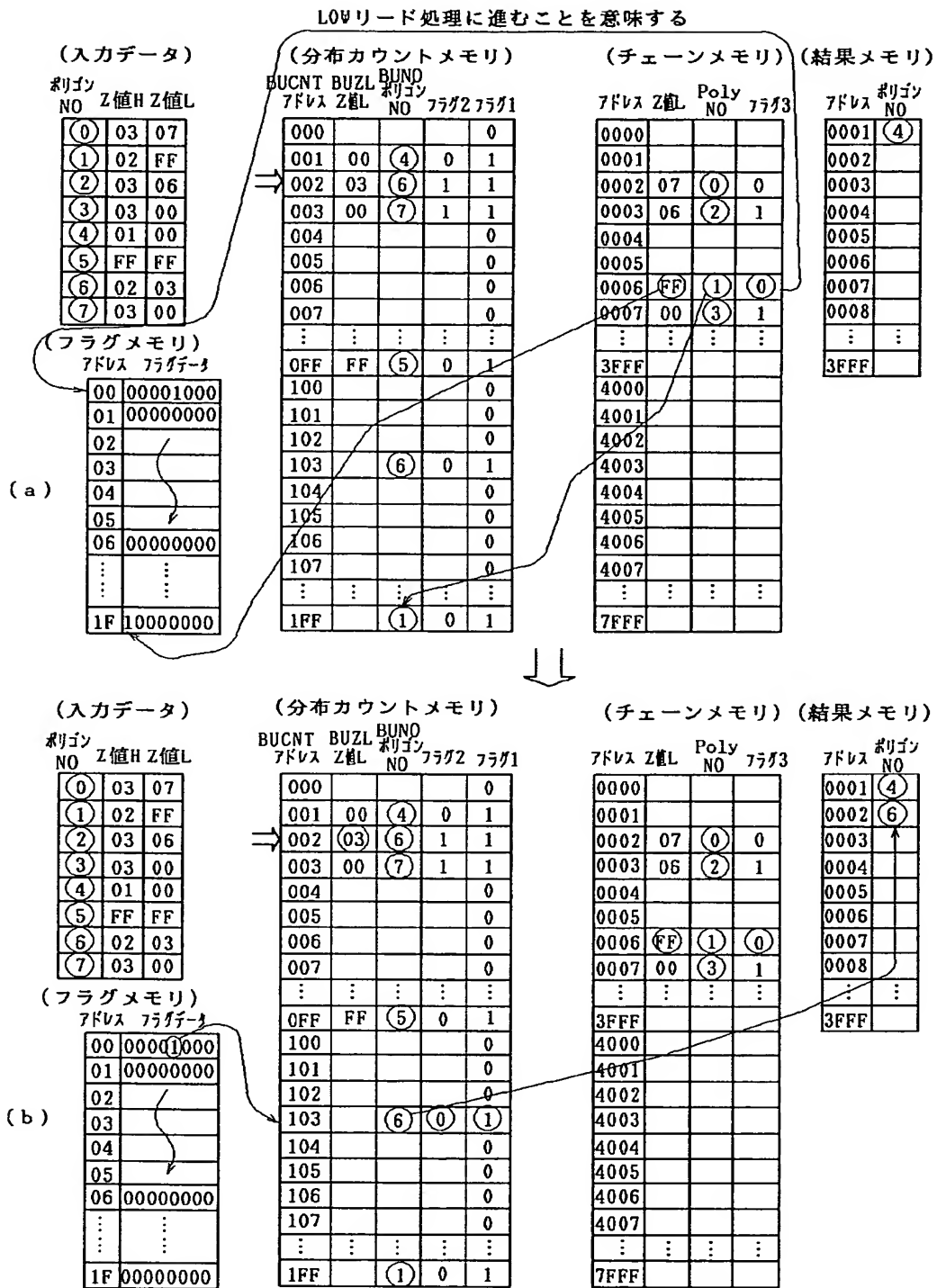
【図40】



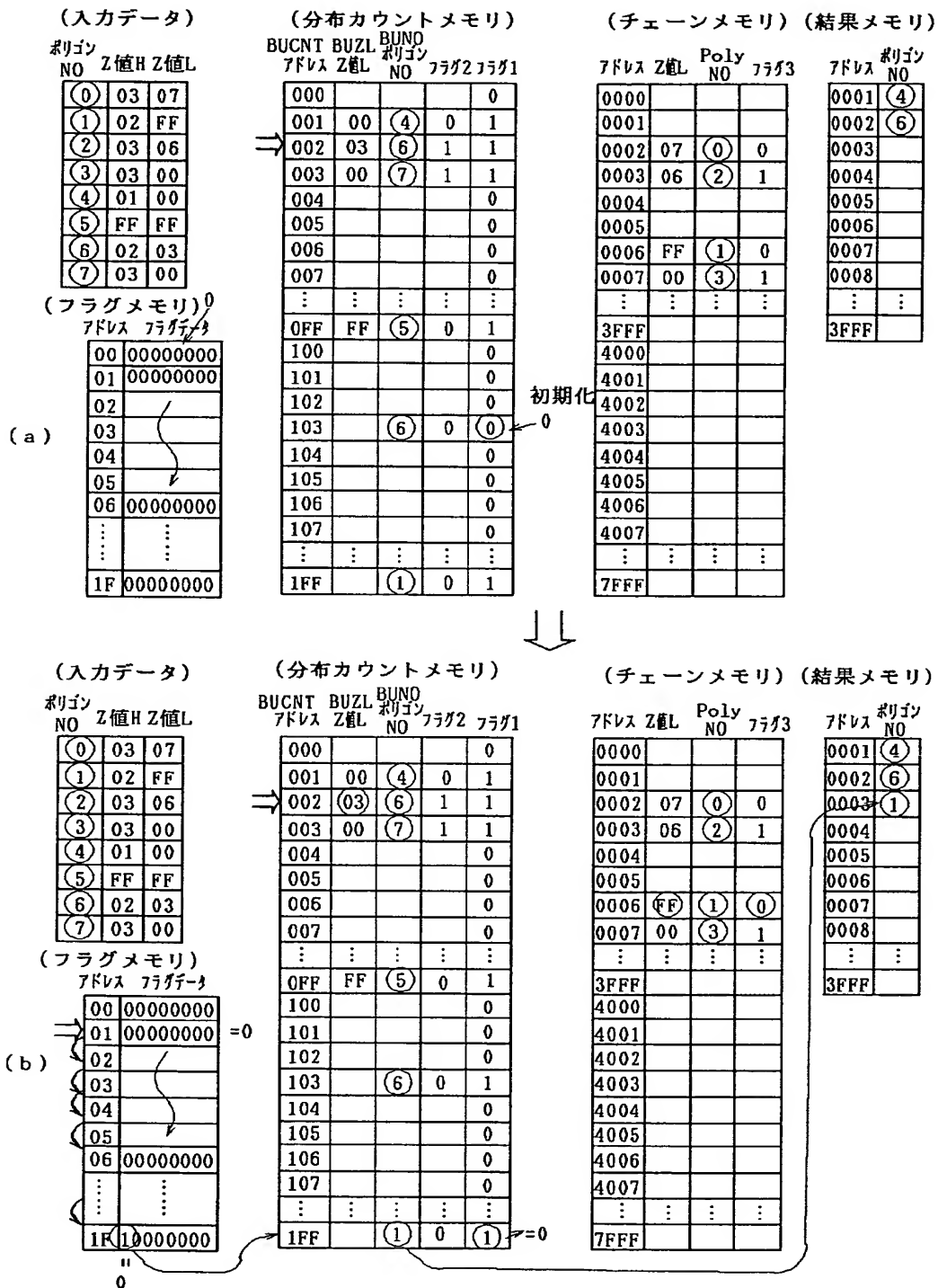
【図41】



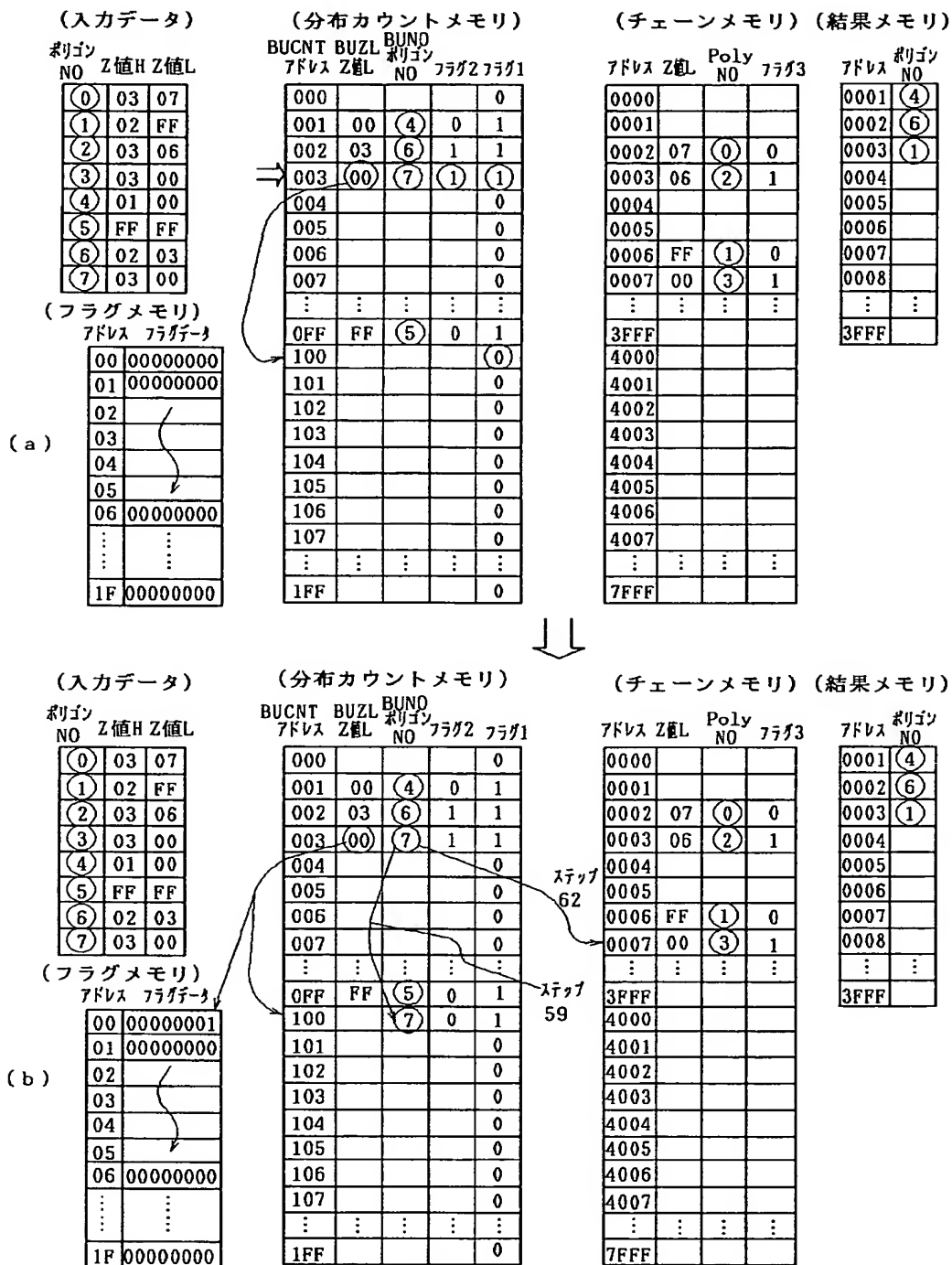
【図42】



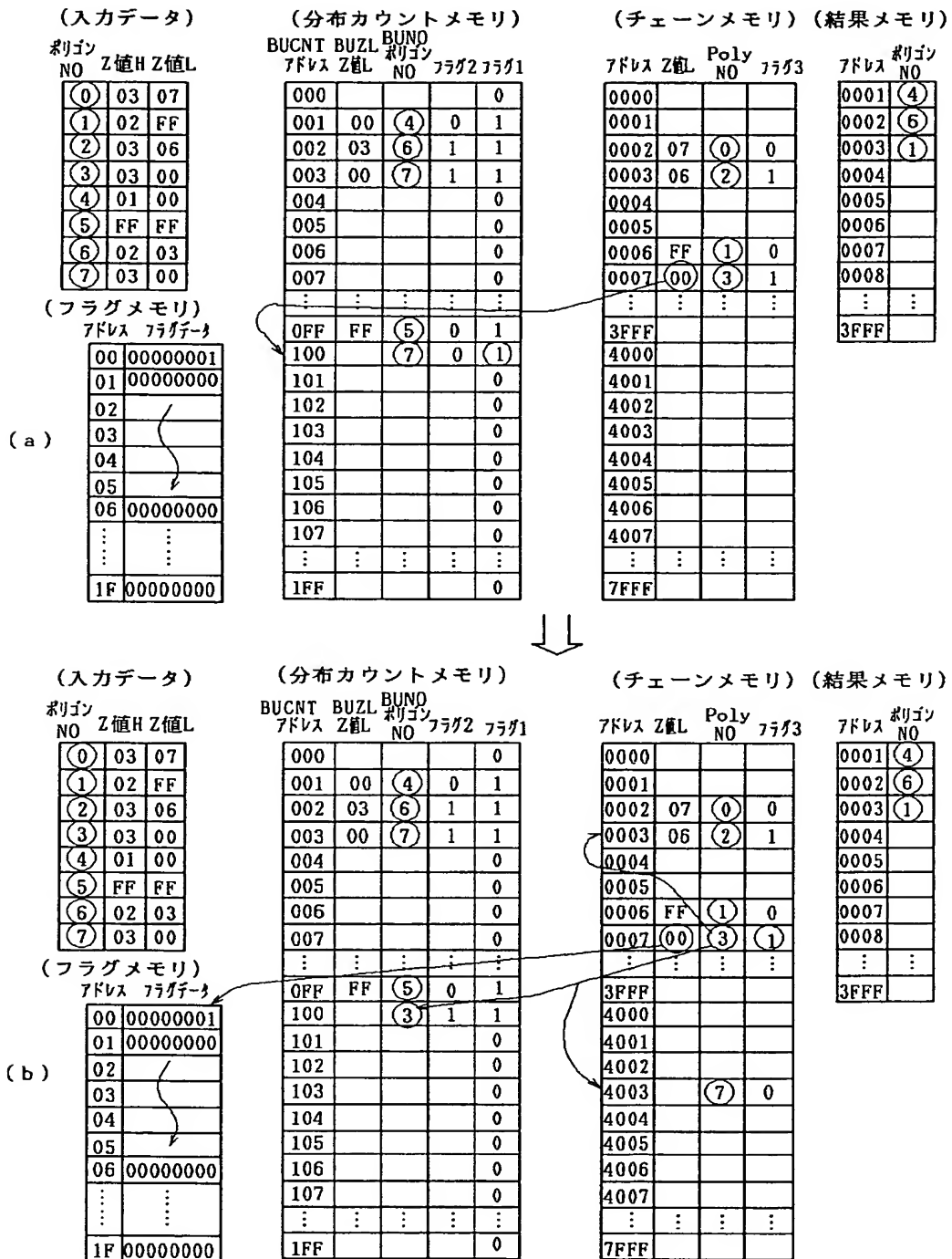
【図43】



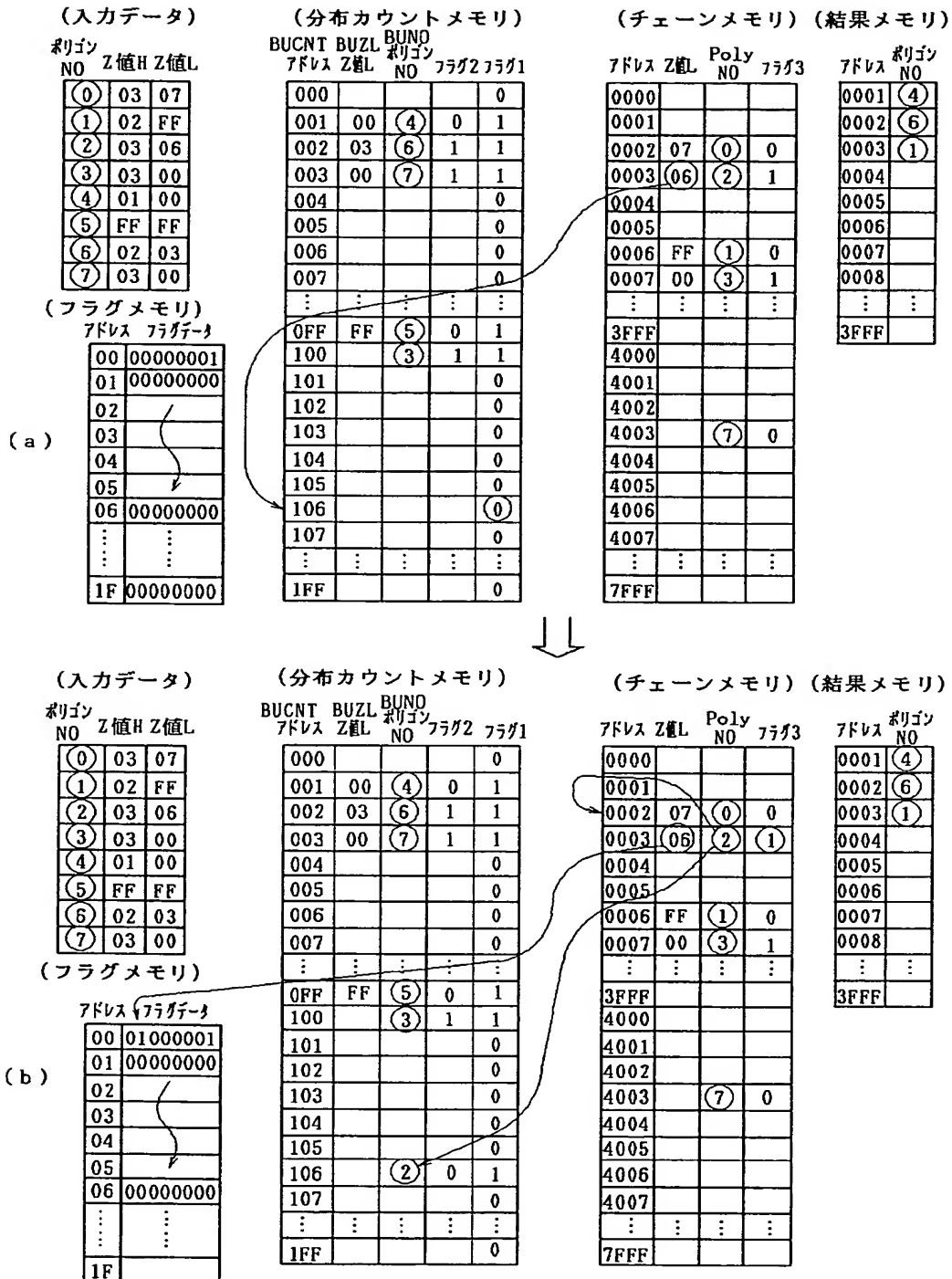
【図44】



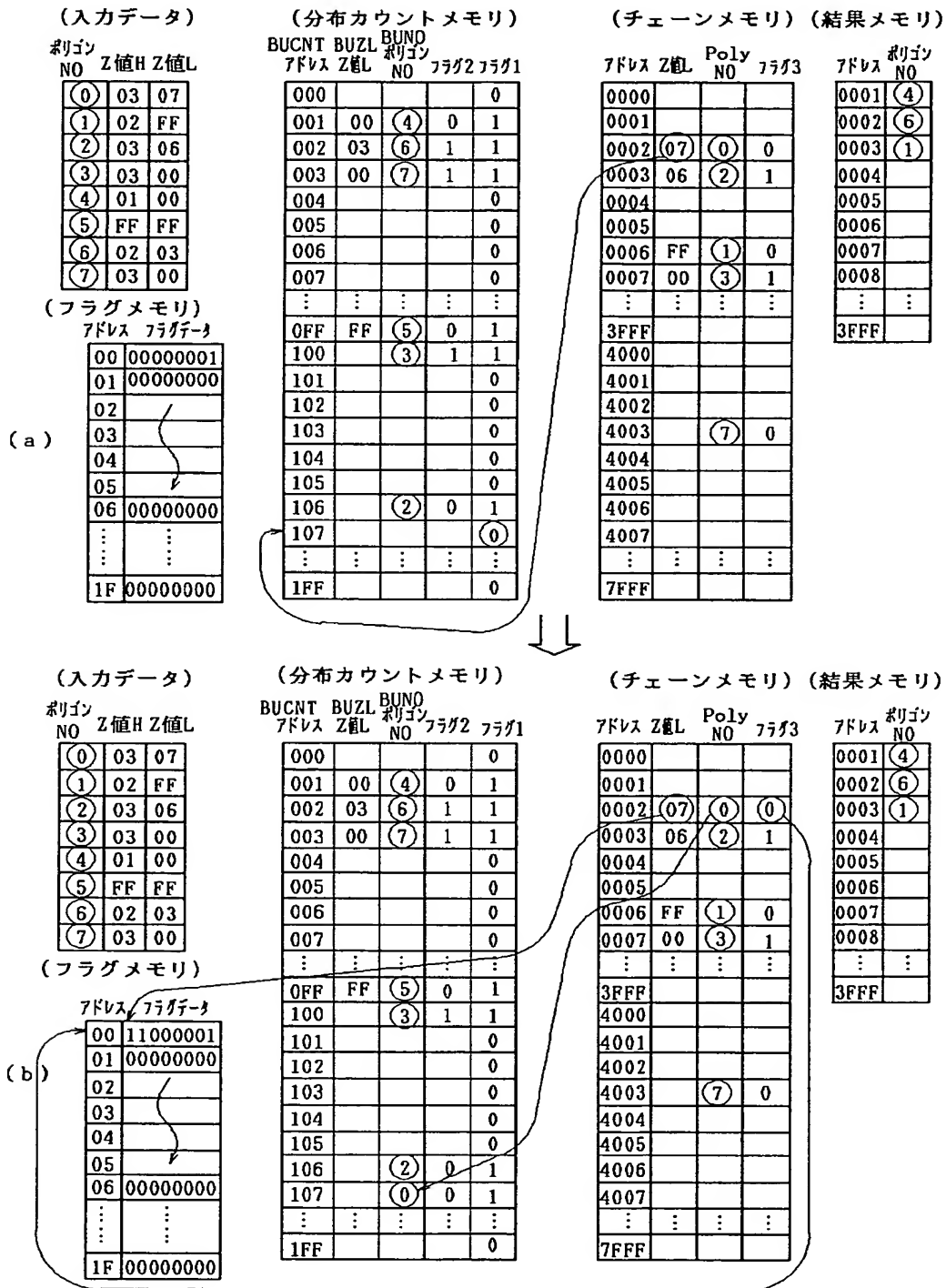
【図45】



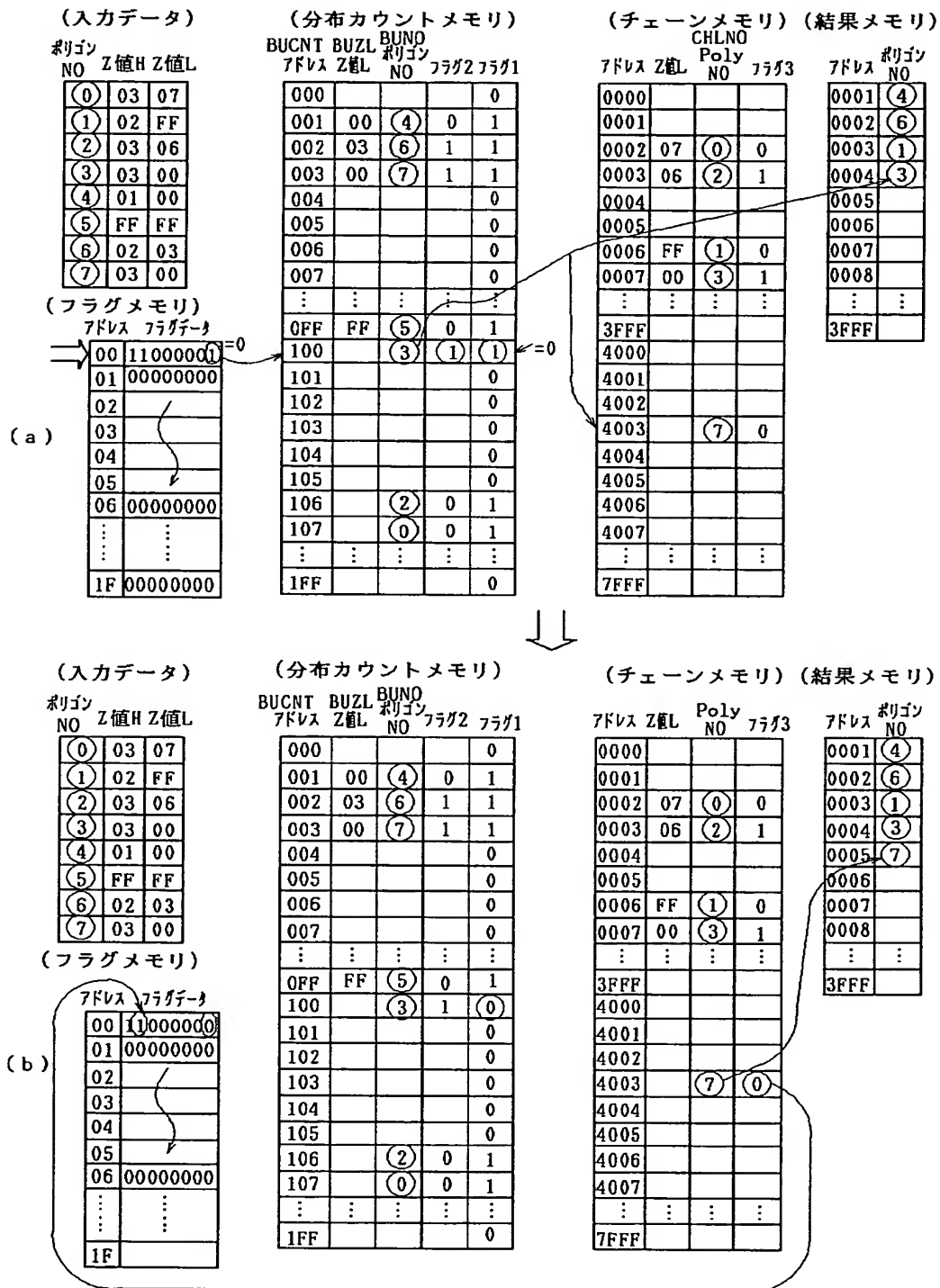
【図46】



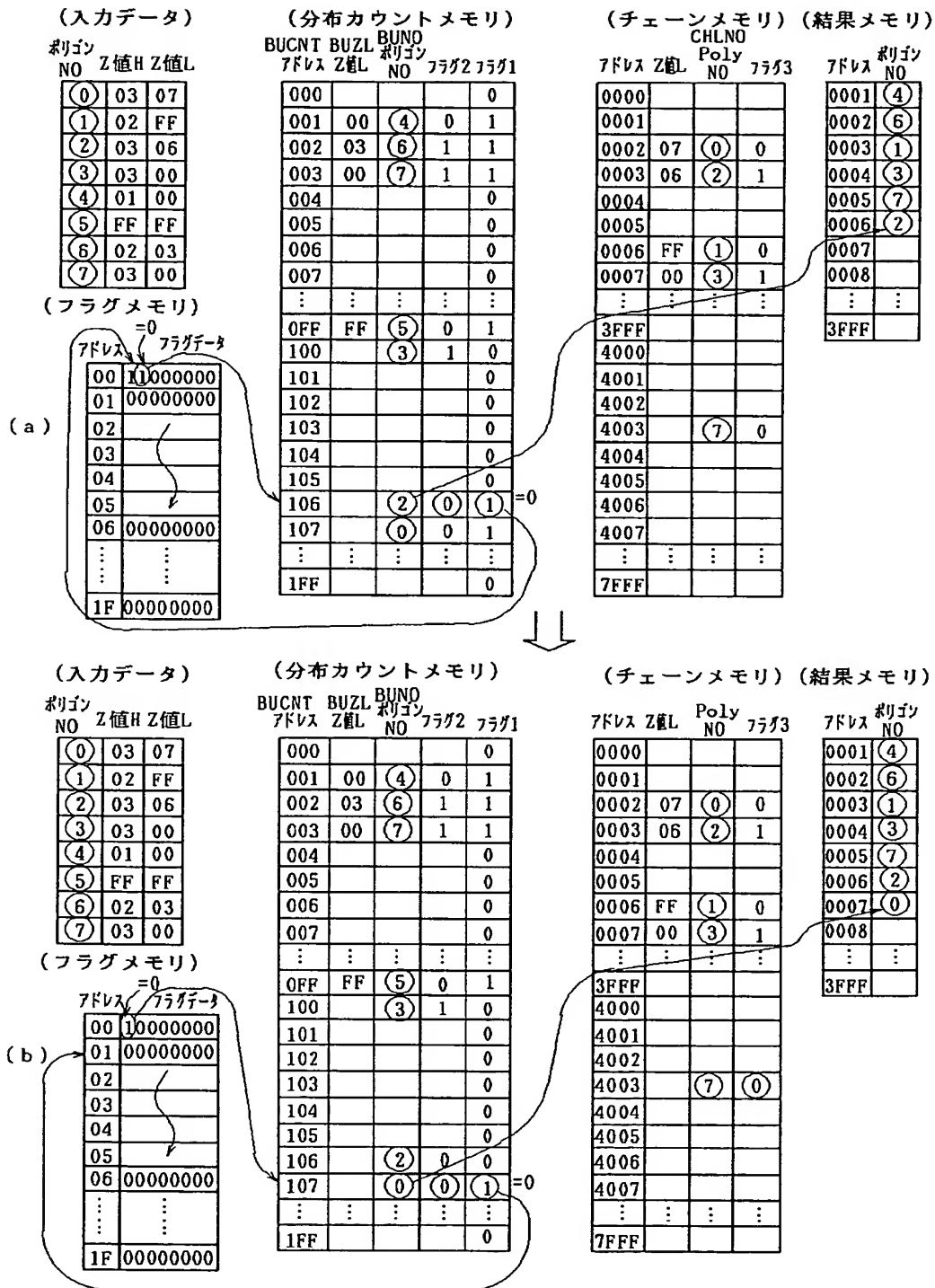
【図47】



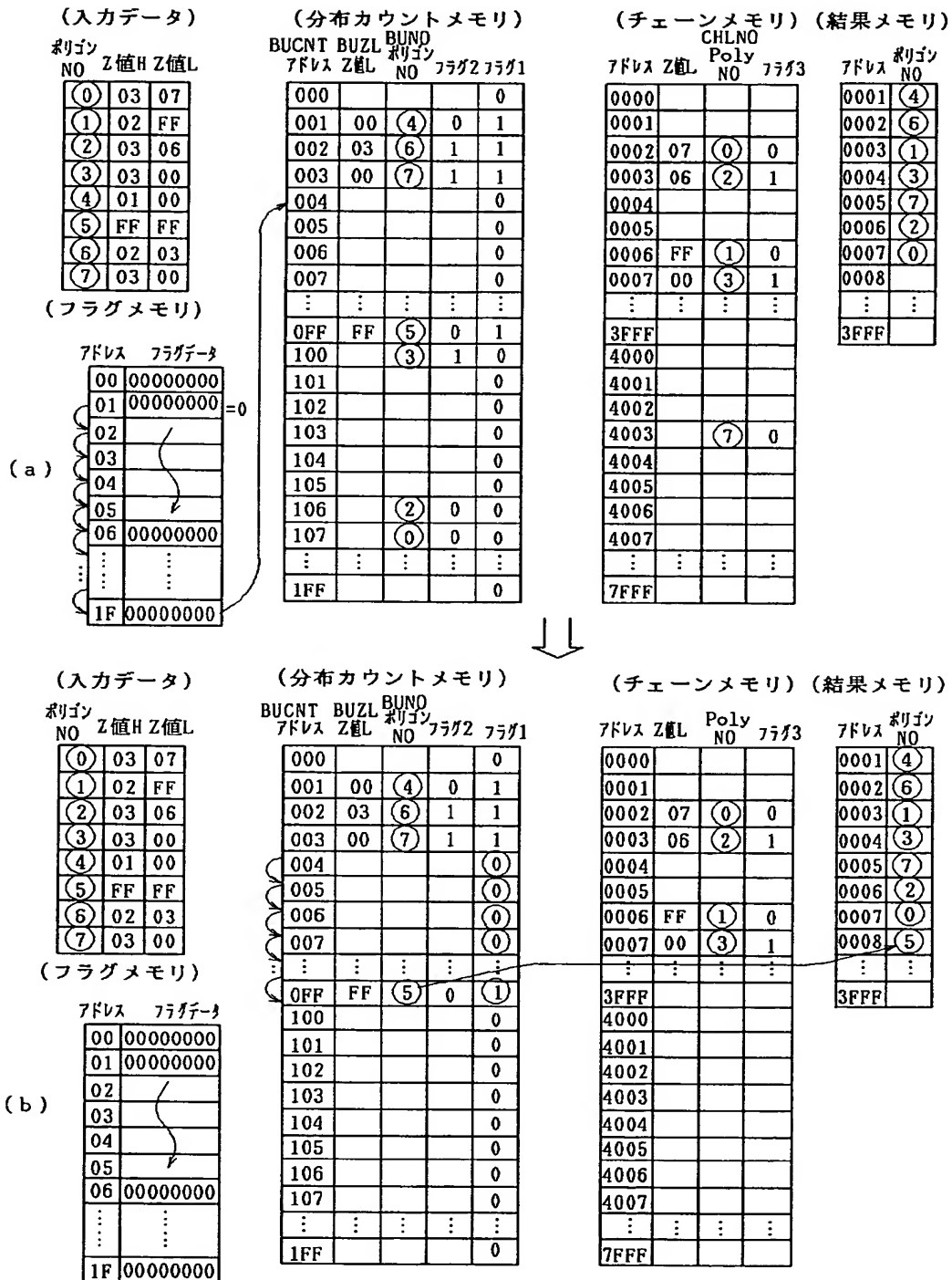
【図48】



【図49】



【図50】



フロントページの続き

(72)発明者 福島 正展
東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(72)発明者 中島 達也
東京都大田区中馬込1丁目3番6号 株式
会社リコー内